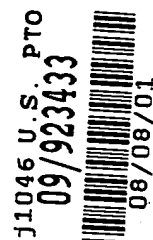


IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Jun Koyama et al. Art Unit : Unknown
Serial No. : Unassigned Examiner : Unknown
Filed : August 8, 2001
Title : LIQUID CRYSTAL DISPLAY DEVICE, METHOD OF DRIVING THE SAME
AND METHOD OF DRIVING A PORTABLE INFORMATION DEVICE
HAVING THE LIQUID CRYSTAL DISPLAY DEVICE



#4
10-25-01

Commissioner for Patents
Washington, D.C. 20231

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119

Applicants hereby confirm their claim of priority under 35 USC §119 from the following applications:

Japan Application No. 2000-249090 filed August 18, 2000

Japan Application No. 2000-253196 filed August 23, 2000

A certified copy of each application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date: August 8, 2001



John F. Hayden
Reg. No. 37,640

Fish & Richardson P.C.
601 Thirteenth Street, NW
Washington, DC 20005
Telephone: (202) 783-5070
Facsimile: (202) 783-2331

日 本 国 特 許 庁
JAPAN PATENT OFFICE

J1046 U.S. PTO
09/923433
06/06/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出 願 年 月 日

Date of Application:

2000年 8月18日

出 願 番 号

Application Number:

特願2000-249090

出 願 人

Applicant(s):

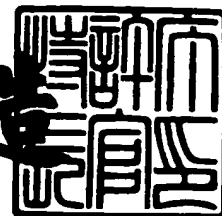
株式会社半導体エネルギー研究所

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 6月20日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 P005158

【提出日】 平成12年 8月18日

【あて先】 特許庁長官 及川 耕造 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 小山 潤

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶表示装置

【特許請求の範囲】

【請求項 1】

n ビット (n は自然数、 $n \geq 2$) のデジタル映像信号を用いて映像の表示を行う液晶表示装置において、

1つの画素がD/Aコンバータと、 $n \times m$ 個 (m は自然数) の記憶回路とを有することを特徴とする液晶表示装置。

【請求項 2】

n ビット (n は自然数、 $n \geq 2$) のデジタル映像信号を用いて映像の表示を行う液晶表示装置において、

1つの画素がD/Aコンバータと、 $n \times m$ 個 (m は自然数) の記憶回路を有し、最大 m フレーム分のデジタル映像信号を記憶することを特徴とする液晶表示装置。

【請求項 3】

n ビット (n は自然数、 $n \geq 2$) のデジタル映像信号を用いて映像の表示を行う液晶表示装置において、

1つの画素がD/Aコンバータと、 $n \times m$ 個 (m は自然数) の記憶回路を有し

前記液晶表示装置は、

クロック信号とスタートパルスとに従って、サンプリングパルスを出力する手段と、

前記サンプリングパルスに従って、第1のラッチ回路において前記デジタル映像信号の保持を行う手段と、

前記第1のラッチ回路に保持された前記デジタル映像信号を、第2のラッチ回路に転送する手段と、

前記第2のラッチ回路に保持された前記デジタル映像信号を、前記記憶回路に記憶する手段と、

前記記憶回路に記憶されたデジタル映像信号を読み出して映像の表示を行う手

段と、

を有することを特徴とする液晶表示装置。

【請求項 4】

n ビット (n は自然数、 $n \geq 2$) のデジタル映像信号を用いて映像の表示を行う液晶表示装置において、

1 つの画素が D/A コンバータと、 $n \times m$ 個 (m は自然数) の記憶回路を有し

前記液晶表示装置は、

クロック信号とスタートパルスとに従って、サンプリングパルスを出力する手段と、

前記サンプリングパルスに従って、ラッチ回路において前記デジタル映像信号の保持を行う手段と、

前記ラッチ回路に保持された前記デジタル映像信号を、前記記憶回路に記憶する手段と、

前記記憶回路に記憶されたデジタル映像信号を読み出して映像の表示を行う手段と、

を有することを特徴とする液晶表示装置。

【請求項 5】

n ビット (n は自然数、 $n \geq 2$) のデジタル映像信号を用いて映像の表示を行う液晶表示装置において、

1 つの画素が D/A コンバータと、 $n \times m$ 個 (m は自然数) の記憶回路を有し

前記液晶表示装置は、

クロック信号とスタートパルスとに従って、サンプリングパルスを出力する手段と、

前記サンプリングパルスに従って、第 1 のラッチ回路において前記デジタル映像信号の保持を行う手段と、

前記第 1 のラッチ回路に保持された前記デジタル映像信号を、第 2 のラッチ回路に転送する手段と、

前記第 2 のラッチ回路に保持された前記デジタル映像信号を、前記記憶回路に記憶する手段と、

前記記憶回路に記憶されたデジタル映像信号を読み出して映像の表示を行う手段と、

前記記憶回路から読み出されたデジタル映像信号を再度前記記憶回路に記憶する手段と、

を有することを特徴とする液晶表示装置。

【請求項 6】

n ビット (n は自然数、 $n \geq 2$) のデジタル映像信号を用いて映像の表示を行う液晶表示装置において、

1 つの画素が D/A コンバータと、 $n \times m$ 個 (m は自然数) の記憶回路を有し

前記液晶表示装置は、

クロック信号とスタートパルスとに従って、サンプリングパルスを出力する手段と、

前記サンプリングパルスに従って、ラッチ回路において前記デジタル映像信号の保持を行う手段と、

前記ラッチ回路に保持された前記デジタル映像信号を、前記記憶回路に記憶する手段と、

前記記憶回路に記憶されたデジタル映像信号を読み出して映像の表示を行う手段と、

前記記憶回路から読み出されたデジタル映像信号を再度前記記憶回路に記憶する手段と、

を有することを特徴とする液晶表示装置。

【請求項 7】

請求項 1 乃至請求項 4 のいずれか 1 項に記載の液晶表示装置において、

前記記憶回路はスタティック型メモリ (SRAM) であることを特徴とする液晶表示装置。

【請求項 8】

請求項 1 乃至請求項 4 のいずれか 1 項に記載の液晶表示装置において、
前記記憶回路は強誘電体メモリ（F R A M）であることを特徴とする液晶表示装置。

【請求項 9】

請求項 1 または請求項 2 または請求項 5 乃至請求項 6 のいずれか 1 項に記載の液晶表示装置において、

前記記憶回路はダイナミック型メモリ（D R A M）であることを特徴とする液晶表示装置。

【請求項 1 0】

請求項 1 乃至請求項 9 のいずれか 1 項に記載の液晶表示装置において、
静止画像の表示期間においては、
前記記憶回路に記憶されたデジタル映像信号を繰り返し読み出して静止画像の表示を行うことにより、

ソース信号線駆動回路を停止することを特徴とする液晶表示装置。

【請求項 1 1】

請求項 1 乃至請求項 9 のいずれか 1 項に記載の液晶表示装置において、
静止画像の表示期間においては、
前記記憶回路に記憶されたデジタル映像信号を繰り返し読み出して静止画像の表示を行うことにより、

外部回路を停止することを特徴とする液晶表示装置。

【請求項 1 2】

請求項 1 乃至請求項 1 1 のいずれか 1 項に記載の液晶表示装置において、
前記記憶回路は、ゲート信号線 1 ラインごとに選択的に書き換えが可能であることを特徴とする液晶表示装置。

【請求項 1 3】

請求項 1 乃至請求項 1 2 のいずれか 1 項に記載の液晶表示装置において、
前記記憶回路は、ガラス基板上に形成されていることを特徴とする液晶表示装置。

【請求項 1 4】

請求項 1 乃至請求項 1 2 のいずれか 1 項に記載の液晶表示装置において、
前記記憶回路は、プラスチック基板上に形成されていることを特徴とする液晶表示装置。

【請求項 1 5】

請求項 1 乃至請求項 1 2 のいずれか 1 項に記載の液晶表示装置において、
前記記憶回路は、ステンレス基板上に形成されていることを特徴とする液晶表示装置。

【請求項 1 6】

請求項 1 乃至請求項 1 2 のいずれか 1 項に記載の液晶表示装置において、
前記記憶回路は、単結晶ウェハ上に形成されていることを特徴とする液晶表示装置。

【請求項 1 7】

請求項 1 乃至請求項 1 6 のいずれか 1 項に記載の液晶表示装置を用いることを特徴とするテレビ。

【請求項 1 8】

請求項 1 乃至請求項 1 6 のいずれか 1 項に記載の液晶表示装置を用いることを特徴とするパーソナルコンピュータ。

【請求項 1 9】

請求項 1 乃至請求項 1 6 のいずれか 1 項に記載の液晶表示装置を用いることを特徴とする携帯端末。

【請求項 2 0】

請求項 1 乃至請求項 1 6 のいずれか 1 項に記載の液晶表示装置を用いることを特徴とするビデオカメラ。

【請求項 2 1】

請求項 1 乃至請求項 1 6 のいずれか 1 項に記載の液晶表示装置を用いることを特徴とするヘッドマウントディスプレイ。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体表示装置（以下表示装置と表記する）の駆動回路および駆動回路を用いた表示装置に関し、特に、絶縁体上に作成される薄膜トランジスタを有するアクティブマトリクス型表示装置の駆動回路および駆動回路を用いたアクティブマトリクス型表示装置に関する。その中で特に、映像ソースとしてデジタル映像信号を用いるアクティブマトリクス型液晶表示装置の駆動回路および駆動回路を用いたアクティブマトリクス型液晶表示装置に関する。

【 0 0 0 2 】

【従来の技術】

近年、絶縁体上、特にガラス基板上に半導体薄膜を形成した表示装置、特に薄膜トランジスタ（以下TFTと表記する）を用いたアクティブマトリクス型表示装置の普及が顕著となっている。TFTを使用したアクティブマトリクス型表示装置は、マトリクス状に配置された数十万から数百万のTFTを有し、各画素の電荷を制御することによって画像の表示を行っている。

【 0 0 0 3 】

さらに最近の技術として、画素を構成する画素TFTの他に、画素部の周辺部に、TFTを用いて駆動回路を同時形成するポリシリコンTFTに関する技術が発展してきており、装置の小型化、低消費電力化に大いに貢献し、それに伴って、近年その応用分野の拡大が著しいモバイル機器の表示部等に、液晶表示装置は不可欠なデバイスとなってきている。

【 0 0 0 4 】

通常のデジタル方式の液晶表示装置の概略図を、図13に示す。中央に画素部1308が配置されている。画素部の上側には、ソース信号線を制御するための、ソース信号線駆動回路1301が配置されている。ソース信号線駆動回路1301は、第1のラッチ回路1304、第2のラッチ回路1305、D/A変換回路（D/Aコンバータ）1306、アナログスイッチ1307等を有する。画素部の左右には、ゲート信号線を制御するための、ゲート信号線駆動回路1302が配置されている。なお、図13においては、ゲート信号線駆動回路1302は、画素部の左右両側に配置されているが、片側配置でも構わない。ただし、両側配置とした方が、駆動効率、駆動信頼性の面から見て望ましい。

【 0 0 0 5 】

ソース信号線駆動回路 1 3 0 1 に関しては、図 1 4 に示すような構成を有している。図 1 4 に例として示す駆動回路は、水平方向解像度 1 0 2 4 画素、3 ビットデジタル階調の表示に対応したソース信号線駆動回路であり、シフトレジスタ回路 (S R) 1 4 0 1 、第 1 のラッチ回路 (L A T 1) 1 4 0 2 、第 2 のラッチ回路 (L A T 2) 1 4 0 3 、 D / A 変換回路 (D / A) 1 4 0 4 等を有する。なお、図 1 4 では図示していないが、必要に応じてバッファ回路、レベルシフタ回路等を配置しても良い。

【 0 0 0 6 】

図 1 3 および図 1 4 を用いて動作について簡単に説明する。まず、シフトレジスタ回路 1 3 0 3 (図 1 4 中、 S R と表記) にクロック信号 (S - C L K 、 S - C L K b) およびスタートパルス (S - S P) が入力され、順次パルスが出力される。続いて、それらのパルスは第 1 のラッチ回路 1 3 0 4 (図 1 4 中、 L A T 1 と表記) に入力され、同じく第 1 のラッチ回路 1 3 0 4 に入力されたデジタル映像信号 (D i g i t a l D a t a) をそれぞれ保持していく。ここで、 D 1 が最上位ビット (M S B : Most Significant Bit) 、 D 3 が最下位ビット (L S B : Least Significant Bit) である。第 1 のラッチ回路 1 3 0 4 において、1 水平周期分のデジタル映像信号の保持が完了すると、帰線期間中に、第 1 のラッチ回路 1 3 0 4 で保持されているデジタル映像信号は、ラッチ信号 (L a t c h P u l s e) の入力に従い、一斉に第 2 のラッチ回路 1 3 0 5 (図 1 4 中、 L A T 2 と表記) へと転送される。

【 0 0 0 7 】

その後、再びシフトレジスタ回路 1 3 0 3 が動作し、次の水平周期分のデジタル映像信号の保持が開始される。同時に、第 2 のラッチ回路 1 3 0 5 で保持されているデジタル映像信号は、 D / A コンバータ 1 3 0 6 (図 1 4 中、 D A C と表記) にてアナログ映像信号へと変換される。このアナログ化されたデジタル映像信号は、ソース信号線を経由して画素に書き込まれる。この動作を繰り返すことによって、画像の表示が行われる。

【 0 0 0 8 】

【発明が解決しようとする課題】

一般的なアクティブマトリクス型液晶表示装置においては、動画の表示をスムーズに行うため、1秒間に60回前後、画面表示の更新が行われる。すなわち、1フレーム毎にデジタル映像信号を供給し、その都度画素への書き込みを行う必要がある。たとえ、映像が静止画であったとしても、1フレーム毎に同一の信号を供給しつづけなければならないため、外部回路、駆動回路などが連続して同じデジタル映像信号の繰り返し処理を行う必要がある。

【0009】

静止画のデジタル映像信号を一旦、外部の記憶回路に書き込み、以後は1フレーム毎に外部の記憶回路から液晶表示装置にデジタル映像信号を供給する方法もあるが、いずれの場合にも外部の記憶回路と駆動回路は動作し続ける必要があることに変わりはない。

【0010】

特にモバイル機器においては、低消費電力化が大きく望まれている。さらに、このモバイル機器においては、静止画モードで利用されることが大部分を占めているにもかかわらず、前述のように外部回路、駆動回路などは静止画表示の際にも動作し続けているため、低消費電力化への足かせとなっている。

【0011】

本発明は前述のような問題点を鑑見て、新規の回路を用いることにより、静止画の表示時における外部回路、駆動回路などの消費電力を低減することを課題とする。

【0012】

【課題を解決するための手段】

前述の課題を解決するために、本発明では次のような手段を用いた。

【0013】

画素内に複数の記憶回路を配置し、画素毎にデジタル映像信号を記憶させる。静止画の場合、一度書き込みを行えば、それ以降、画素に書き込まれる情報は同様であるので、フレーム毎に信号の入力を行わなくとも、記憶回路に記憶されている信号を読み出すことによって静止画を継続的に表示することができる。すな

わち、静止面を表示する際は、最低 1 フレーム分の信号の処理動作を行って以降は、外部回路、ソース信号線駆動回路などを停止させておくことが可能となり、それに伴って電力消費を大きく低減することが可能となる。

【 0 0 1 4 】

以下に、本発明の液晶表示装置の構成について記載する。

【 0 0 1 5 】

請求項 1 に記載の本発明の液晶表示装置は、 n ビット (n は自然数、 $n \geq 2$) のデジタル映像信号を用いて映像の表示を行う液晶表示装置において、1つの画素が D/A コンバータと、 $n \times m$ 個 (m は自然数) の記憶回路を有することを特徴としている。

【 0 0 1 6 】

請求項 2 に記載の本発明の液晶表示装置は、 n ビット (n は自然数、 $n \geq 2$) のデジタル映像信号を用いて映像の表示を行う液晶表示装置において、1つの画素が D/A コンバータと、 $n \times m$ 個 (m は自然数) の記憶回路を有し、最大 m フレーム分のデジタル映像信号を記憶することを特徴としている。

【 0 0 1 7 】

請求項 3 に記載の本発明の液晶表示装置は、 n ビット (n は自然数、 $n \geq 2$) のデジタル映像信号を用いて映像の表示を行う液晶表示装置において、1つの画素が D/A コンバータと、 $n \times m$ 個 (m は自然数) の記憶回路を有し、前記液晶表示装置は、クロック信号とスタートパルスとに従って、サンプリングパルスを出力する手段と、前記サンプリングパルスに従って、第 1 のラッチ回路において前記デジタル映像信号の保持を行う手段と、前記第 1 のラッチ回路に保持された前記デジタル映像信号を、第 2 のラッチ回路に転送する手段と、前記第 2 のラッチ回路に保持された前記デジタル映像信号を、前記記憶回路に記憶する手段と、前記記憶回路に記憶されたデジタル映像信号を読み出して映像の表示を行う手段とを有することを特徴としている。

【 0 0 1 8 】

請求項 4 に記載の本発明の液晶表示装置は、 n ビット (n は自然数、 $n \geq 2$) のデジタル映像信号を用いて映像の表示を行う液晶表示装置において、1つの画

素がD/Aコンバータと、 $n \times m$ 個（ m は自然数）の記憶回路を有し、前記液晶表示装置は、クロック信号とスタートパルスとに従って、サンプリングパルスを出力する手段と、前記サンプリングパルスに従って、ラッチ回路において前記デジタル映像信号の保持を行う手段と、前記ラッチ回路に保持された前記デジタル映像信号を、前記記憶回路に記憶する手段と、前記記憶回路に記憶されたデジタル映像信号を読み出して映像の表示を行う手段と、を有することを特徴としている。

【 0 0 1 9 】

請求項5に記載の本発明の液晶表示装置は、 n ビット（ n は自然数、 $n \geq 2$ ）のデジタル映像信号を用いて映像の表示を行う液晶表示装置において、1つの画素がD/Aコンバータと、 $n \times m$ 個（ m は自然数）の記憶回路を有し、前記液晶表示装置は、クロック信号とスタートパルスとに従って、サンプリングパルスを出力する手段と、前記サンプリングパルスに従って、第1のラッチ回路において前記デジタル映像信号の保持を行う手段と、前記第1のラッチ回路に保持された前記デジタル映像信号を、第2のラッチ回路に転送する手段と、前記第2のラッチ回路に保持された前記デジタル映像信号を、前記記憶回路に記憶する手段と、前記記憶回路に記憶されたデジタル映像信号を読み出して映像の表示を行う手段と、前記記憶回路から読み出されたデジタル映像信号を再度前記記憶回路に記憶する手段とを有することを特徴としている。

【 0 0 2 0 】

請求項6に記載の本発明の液晶表示装置は、 n ビット（ n は自然数、 $n \geq 2$ ）のデジタル映像信号を用いて映像の表示を行う液晶表示装置において、1つの画素がD/Aコンバータと、 $n \times m$ 個（ m は自然数）の記憶回路を有し、前記液晶表示装置は、クロック信号とスタートパルスとに従って、サンプリングパルスを出力する手段と、前記サンプリングパルスに従って、ラッチ回路において前記デジタル映像信号の保持を行う手段と、前記ラッチ回路に保持された前記デジタル映像信号を、前記記憶回路に記憶する手段と、前記記憶回路に記憶されたデジタル映像信号を読み出して映像の表示を行う手段と、前記記憶回路から読み出されたデジタル映像信号を再度前記記憶回路に記憶する手段と、を有することを特徴

としている。

【 0 0 2 1 】

請求項 7 に記載の本発明の液晶表示装置は、請求項 1 乃至請求項 4 のいずれか 1 項に記載の液晶表示装置において、前記記憶回路はスタティック型メモリ（S R A M）であることを特徴としている。

【 0 0 2 2 】

請求項 8 に記載の本発明の液晶表示装置は、請求項 1 乃至請求項 4 のいずれか 1 項に記載の液晶表示装置において、前記記憶回路は強誘電体メモリ（F R A M）であることを特徴としている。

【 0 0 2 3 】

請求項 9 に記載の本発明の液晶表示装置は、請求項 1 または請求項 2 または請求項 5 乃至請求項 6 のいずれか 1 項に記載の液晶表示装置において、前記記憶回路はダイナミック型メモリ（D R A M）であることを特徴としている。

【 0 0 2 4 】

請求項 1 0 に記載の本発明の液晶表示装置は、請求項 1 乃至請求項 9 のいずれか 1 項に記載の液晶表示装置において、静止画像の表示期間においては、前記記憶回路に記憶されたデジタル映像信号を繰り返し読み出して静止画像の表示を行うことにより、ソース信号線駆動回路を停止することを特徴としている。

【 0 0 2 5 】

請求項 1 1 に記載の本発明の液晶表示装置は、請求項 1 乃至請求項 9 のいずれか 1 項に記載の液晶表示装置において、静止画像の表示期間においては、前記記憶回路に記憶されたデジタル映像信号を繰り返し読み出して静止画像の表示を行うことにより、外部回路を停止することを特徴としている。

【 0 0 2 6 】

請求項 1 2 に記載の本発明の液晶表示装置は、請求項 1 乃至請求項 1 1 のいずれか 1 項に記載の液晶表示装置において、前記記憶回路は、ゲート信号線 1 ラインごとに選択的に書き換えが可能であることを特徴としている。

【 0 0 2 7 】

請求項 1 3 に記載の本発明の液晶表示装置は、請求項 1 乃至請求項 1 2 のい

れか 1 項に記載の液晶表示装置において、前記記憶回路は、ガラス基板上に形成されていることを特徴としている。

【 0 0 2 8 】

請求項 1 4 に記載の本発明の液晶表示装置は、請求項 1 乃至請求項 1 2 のいずれか 1 項に記載の液晶表示装置において、前記記憶回路は、プラスチック基板上に形成されていることを特徴としている。

【 0 0 2 9 】

請求項 1 5 に記載の本発明の液晶表示装置は、請求項 1 乃至請求項 1 2 のいずれか 1 項に記載の液晶表示装置において、前記記憶回路は、ステンレス基板上に形成されていることを特徴としている。

【 0 0 3 0 】

請求項 1 6 に記載の本発明の液晶表示装置は、請求項 1 乃至請求項 1 2 のいずれか 1 項に記載の液晶表示装置において、前記記憶回路は、単結晶ウェハ上に形成されていることを特徴としている。

【 0 0 3 1 】

【発明の実施の形態】

図 2 は、記憶回路を有する画素を用いた表示装置における、ソース信号線駆動回路および一部の画素の構成を示したものである。この回路は、3 ビットデジタル階調信号に対応したものであり、シフトレジスタ回路 2 0 1、第 1 のラッチ回路 2 0 2、第 2 のラッチ回路 2 0 3、ビット信号選択スイッチ 2 0 4、画素 2 0 5 を有する。2 1 0 は、ゲート信号線駆動回路あるいは外部から直接供給される信号であり、画素の説明とともに後述する。

【 0 0 3 2 】

図 1 は、図 2 における画素 2 0 5 における回路構成を詳細に示したものである。この画素は、3 ビットデジタル階調に対応したものであり、液晶素子 (LC)、保持容量 (Cs)、記憶回路 (1 0 5 ~ 1 0 7) 及び D/A (D/A コンバータ: 1 1 1) 等を有している。1 0 1 はソース信号線、1 0 2 ~ 1 0 4 は書き込み用ゲート信号線、1 0 8 ~ 1 1 0 は書き込み用 T F T である。

D/A コンバータ 1 1 1 の具体例は実施例にて記述するが、実施例に記述され

た以外の方式を用いてD/Aコンバータを構成してもかまわない。

【0033】

図3は、図1に示した本発明の表示装置におけるタイミングチャートである。表示装置は3ビットデジタル階調、VGAのものを対象としている。図1～図3を用いて、駆動方法について説明する。なお、各番号は、図1～図3のものをそのまま用いる（図番は省略する）。

【0034】

図2および図3（A）（B）を参照する。図3（A）において、各フレーム期間を α 、 β 、 γ と表記して説明する。まず、区間 α における回路動作について説明する。

【0035】

従来のデジタル方式の駆動回路の場合と同様に、シフトレジスタ回路201にクロック信号（S-CLK、S-CLKb）およびスタートパルス（S-SP）が入力され、順次サンプリングパルスが出力される。続いて、サンプリングパルスは第1のラッチ回路202（LAT1）に入力され、同じく第1のラッチ回路202に入力されたデジタル映像信号（Digital Data）をそれぞれ保持していく。この期間を、本明細書においてはドットデータサンプリング期間と表記する。1水平期間分のドットデータサンプリング期間は、図3（A）において1～480で示す各期間である。デジタル映像信号は3ビットであり、D1がMSB（Most Significant Bit）、D3がLSB（Least Significant Bit）である。第1のラッチ回路202において、1水平周期分のデジタル映像信号の保持が完了すると、帰線期間中に、第1のラッチ回路202で保持されているデジタル映像信号は、ラッチ信号（Latch Pulse）の入力に従い、一斉に第2のラッチ回路203（LAT2）へと転送される。

【0036】

続いて、再びシフトレジスタ回路201から出力されるサンプリングパルスに従い、次水平周期分のデジタル映像信号の保持動作が行われる。

【0037】

一方、第2のラッチ回路203に転送されたデジタル映像信号は、画素内に配

置された記憶回路に書き込まれる。図 3 (B) に示すように、次列のドットデータサンプリング期間をI、IIおよびIIIと3分割し、第2のラッチ回路に保持されているデジタル映像信号をソース信号線に出力する。このとき、ビット信号選択スイッチ204によって、各ビットの信号が順番にソース信号線に出力されるように選択的に接続される。

【0038】

期間Iでは、書き込み用ゲート信号線102にパルスが入力されてTFT108が導通し、記憶回路105にデジタル映像信号が書き込まれる。続いて、期間IIでは、書き込み用ゲート信号線103にパルスが入力されてTFT109が導通し、記憶回路106にデジタル映像信号が書き込まれる。最後に、期間IIIでは、書き込み用ゲート信号線104にパルスが入力されてTFT110が導通し、記憶回路107にデジタル映像信号が書き込まれる。

【0039】

以上で、1水平期間分のデジタル映像信号の処理が終了する。図3(B)の期間は、図3(A)において※印で示された期間である。以上の動作を最終段まで行うことにより、1フレーム分のデジタル映像信号が記憶回路105に書き込まれる。

【0040】

書き込まれたデジタル映像信号は、D/A111によってアナログ信号に変換され、液晶素子に入力される。このアナログ信号に応じて液晶素子の透過率が変化し、階調を表現する。ここでは、3ビットであるから、輝度は0～7までの8段階が得られる。

【0041】

以上の動作を繰り返して、映像の表示が継続的に行われる。ここで、静止画を表示する場合には、最初の動作で記憶回路105～107にいったんデジタル映像信号が記憶されてからは、各フレーム期間で記憶回路105～107に記憶されたデジタル映像信号を反復して読み出せば良い。したがってこの静止画が表示されている期間中は、ソース信号線駆動回路の駆動を停止させることが出来る。

【0042】

さらに、記憶回路へのデジタル映像信号の書き込み、あるいは記憶回路からのデジタル映像信号の読み出しは、ゲート信号線 1 本単位で行うことが可能である。すなわち、ソース信号線駆動回路を短期間のみ動作させ、画面の一部のみを書き換えるなどといった表示方法をとることも出来る。

この場合は、ゲート信号線駆動回路として、デコーダを使うのが望ましい。デコーダを使用する場合には、特開平 8 - 1 0 1 6 0 9 に開示された回路を用いればよく、図 2 0 に一例を示す。また、ソース信号線駆動回路にもデコーダを用いて部分書き換えを行うことも可能である。

【 0 0 4 3 】

また、本実施形態においては、1 画素内に 3 つの記憶回路を有し、3 ビットのデジタル映像信号を 1 フレーム分だけ記憶する機能を有しているが、本発明はこの数に限定しない。つまり、 n ビットのデジタル映像信号を m フレーム分だけ記憶するには、1 画素内に $n \times m$ 個の記憶回路を有していれば良い。

【 0 0 4 4 】

以上の方法により、画素内に実装された記憶回路を用いてデジタル映像信号の記憶を行うことにより、静止画を表示する際に各フレーム期間で記憶回路に記憶されたデジタル映像信号を反復して用い、外部回路、ソース信号線駆動回路などを駆動することなく、継続的に静止画表示が可能となる。よって、液晶表示装置の低消費電力化に大きく貢献することが出来る。

【 0 0 4 5 】

また、ソース信号線駆動回路に関しては、ビット数に応じて増加するラッチ回路等の配置の問題から、必ずしも絶縁体上に一体形成する必要はなく、その一部あるいは全部を外付けで構成しても良い。

【 0 0 4 6 】

さらに、本実施形態にて示したソース信号線駆動回路においては、ビット数に応じたラッチ回路を配置しているが、1 ビット分のみ配置して動作させることも可能である。この場合、上位ビットから下位ビットのデジタル映像信号を直列にラッチ回路に入力すれば良い。

【 0 0 4 7 】

【実施例】

以下に本発明の実施例について記述する。

【0048】

[実施例1]

本実施例においては、実施形態において示した回路における記憶回路選択部を、具体的にトランジスタ等を用いて構成し、その動作について説明する。

【0049】

図8は、図1に示した画素と同様のもので、D/A111を実際に回路で構成した例である。図中、各部に付した番号において、図1と同じ部位については、図1と同じ番号を付している。記憶回路105～107の各々に、書き込み選択用TFT108～110を設け、記憶回路選択信号線102～104をもって制御する。

【0050】

図4は、記憶回路の一例を示したものである。点線枠450で示される部分が記憶回路（図8中、105～107で示す部分）であり、451は書き込み選択用TFTである。ここで示した記憶回路には、フリップフロップを利用したスタティック型メモリ（Static RAM：SRAM）を用いているが、記憶回路に関してはこの構成に限定しない。

【0051】

本実施例にて図8で示した回路の駆動は、実施形態にて図3を用いて示したタイミングチャートに従って駆動することが出来る。図3、図8を用いて、記憶回路選択部の実際の駆動方法を加えて、回路動作について説明する。なお、各番号は、図3、図8のものをそのまま用いる（図番は省略する）。

【0052】

図3（A）（B）を参照する。図3（A）において、各フレーム期間を α 、 β 、 γ と表記して説明する。まず、区間 α における回路動作について説明する。

【0053】

シフトレジスタ回路から第2のラッチ回路までの駆動方法に関しては実施形態にて示したものと同様であるのでそれに従う。

【0054】

期間Iでは、書き込み用ゲート信号線102にパルスが入力されてTFT108が導通し、記憶回路105にデジタル映像信号が書き込まれる。続いて、期間IIでは、書き込み用ゲート信号線103にパルスが入力されてTFT109が導通し、記憶回路106にデジタル映像信号が書き込まれる。最後に、期間IIIでは、書き込み用ゲート信号線104にパルスが入力されてTFT110が導通し、記憶回路107にデジタル映像信号が書き込まれる。

【0055】

以上で、1水平期間分のデジタル映像信号の処理が終了する。図3（B）の期間は、図3（A）において※印で示された期間である。以上の動作を最終段まで行うことにより、1フレーム分のデジタル映像信号が記憶回路105～107に書き込まれる。

【0056】

書き込まれたデジタル映像信号は、D/A111によってアナログ階調信号に変換され、液晶素子に入力される。このアナログ階調信号に応じて液晶素子の透過率は変化し、階調を表現する。ここでは、3ビットであるから、輝度は0～7までの8段階が得られる。

【0057】

以上のようにして、1フレーム期間分の表示が行われる。一方、駆動回路側では、同時に次のフレーム期間のデジタル映像信号の処理が行われている。第2のラッチ回路までのデジタル映像信号の転送までは前述と同様の手順である。

【0058】

以上の手順を繰り返すことにより、映像の表示を行う。なお、静止画の表示を行う場合には、あるフレームのデジタル映像信号の、記憶回路への書き込みが終了したら、ソース信号線駆動回路を停止させ、同じ記憶回路に書き込まれている信号を毎フレームで読み込んで表示を行う。このような方法により、静止画の表示中における消費電力を大きく低減することが出来る。

【0059】

[実施例2]

本実施例においては、画素部の記憶回路への書き込みを点順次で行うことにより、ソース信号線駆動回路の第2のラッチ回路を省略した例について記す。

【0060】

図5は、記憶回路を有する画素を用いた液晶表示装置における、ソース信号線駆動回路および一部の画素の構成を示したものである。この回路は、3ビットデジタル階調信号に対応したものであり、シフトレジスタ回路501、ラッチ回路502、画素503を有する。510は、ゲート信号線駆動回路あるいは外部から直接供給される信号であり、画素の説明とともに後述する。

【0061】

図6は、図5に示した画素503の回路構成の詳細図である。実施例1と同様、3ビットデジタル階調に対応したものであり、液晶素子(LC)、保持容量(Cs)、記憶回路(605~607)及びD/A(D/Aコンバータ:611)等を有している。601は第1ビット(MSB)信号用ソース信号線、602は第2ビット信号用ソース信号線、603は第3ビット(LSB)信号用ソース信号線、604は書き込み用ゲート信号線、608~610は書き込み用TFTである。

【0062】

図7は、本実施例にて示した回路の駆動に関するタイミングチャートである。図6および図7を用いて説明する。

【0063】

シフトレジスタ回路501からラッチ回路(LAT1)502までの動作は実施形態および実施例1と同様に行われる。図7(B)に示すように、第1段目のラッチ動作が終了すると、直ちに画素の記憶回路への書き込みを開始する。書き込み用ゲート信号線604にパルスが入力され、書き込み用TFT608~610が導通し、記憶回路への書き込みが可能な状態となる。ラッチ回路502に保持されたビット毎のデジタル映像信号は、3本のソース信号線601~603を経由して、同時に書き込まれる。

【0064】

第1段目でラッチ回路に保持されたデジタル映像信号が、記憶回路へ書き込ま

れているとき、次段では続くサンプリングパルスに従って、ラッチ回路においてデジタル映像信号の保持が行われている。このようにして、順次記憶回路への書き込みが行われていく。

【 0 0 6 5 】

以上で、1フレーム目の表示期間が完了する。区間βでは、次のフレームにおけるデジタル映像信号の処理が行われる。ラッチ回路502へのデジタル映像信号の保持までは前述と同様の手順である。

【 0 0 6 6 】

以上の手順を繰り返すことにより、映像の表示を行う。なお、静止画の表示を行う場合には、あるフレームのデジタル映像信号の、記憶回路への書き込みが終了したら、ソース信号線駆動回路を停止させ、同じ記憶回路に書き込まれている信号を毎フレームで読み込んで表示を行う。このような方法により、静止画の表示中における消費電力を大きく低減することが出来る。さらに、実施例1にて示した回路と比較すると、ラッチ回路の数を1/2とすることが出来、回路配置の省スペース化による装置全体の小型化に貢献出来る。

【 0 0 6 7 】

[実施例3]

本実施例においては、実施例2にて示した、第2のラッチ回路を省略した液晶表示装置の回路構成を応用し、線順次駆動により画素内の記憶回路への書き込みを行う方法を用いた液晶表示装置の例について記す。

【 0 0 6 8 】

図17は、本実施例にて示す液晶表示装置のソース信号線駆動回路の回路構成例を示している。この回路は、3ビットデジタル階調信号に対応したものであり、シフトレジスタ回路1701、ラッチ回路1702、スイッチ回路1703、画素1704を有する。1710は、ゲート信号線駆動回路あるいは外部から直接供給される信号である。画素の回路構成に関しては、実施例2のものと同様で良いので、図6をそのまま参照する。

【 0 0 6 9 】

図18は、本実施例にて示した回路の駆動に関するタイミングチャートである

。図 6、図 1 7 および図 1 8 を用いて説明する。

【 0 0 7 0 】

シフトレジスタ回路 1 7 0 1 からサンプリングパルスが出力され、ラッチ回路 1 7 0 2 で、サンプリングパルスに従ってデジタル映像信号を保持するまでの動作は、実施例 1 および実施例 2 と同様である。本実施例では、ラッチ回路 1 7 0 2 と画素 1 7 0 4 内の記憶回路との間に、スイッチ回路 1 7 0 3 を有しているため、ラッチ回路でのデジタル映像信号の保持が完了しても、直ちに記憶回路への書き込みが開始されない。ドットデータサンプリング期間が終了するまでの間は、スイッチ回路 1 7 0 3 は閉じたままであり、その間、ラッチ回路ではデジタル映像信号が保持され続ける。

【 0 0 7 1 】

図 1 8 (B) に示すように、1 水平期間分のデジタル映像信号の保持が完了すると、その後の帰線期間中にラッチ信号 (L a t c h P u l s e) が入力されてスイッチ回路 1 7 0 3 が一斉に開き、ラッチ回路 1 7 0 2 で保持されていたデジタル映像信号は一斉に画素 1 7 0 4 内の記憶回路に書き込まれる。このときの書き込み動作に関わる、画素 1 7 0 4 内の動作、さらに次のフレーム期間における表示の再の読み出し動作に関わる、画素 1 7 0 4 内の動作については、実施例 2 と同様で良いので、ここでは説明を省略する。

【 0 0 7 2 】

以上の方法によって、ラッチ回路を省略したソース信号線駆動回路においても、線順次の書き込み駆動を容易に行うことが出来る。

【 0 0 7 3 】

[実施例 4]

本実施例では、D / A コンバータとして、複数の階調電圧線を選択する方式のものを示す。図 8 にその回路図を示す。

【 0 0 7 4 】

3 ビットのデジタル映像信号を処理する場合、8 本の階調電圧線があり、それぞれにスイッチ T F T が接続されている。記憶回路の出力は、デコーダを介して、それらのスイッチ T F T を選択的に駆動する。スイッチはトランスマッション

ゲートを用いても良い。

【 0 0 7 5 】

[実施例 5]

本実施例では、実施例 4 において図 8 で示した D/A コンバータとは異なる構造のものを用いた例を示す。図 9 にその回路図を示す。

【 0 0 7 6 】

実施例 4 において図 8 で示したものと同様に階調電圧線を選択する方式であるが、図 8 では、素子の数が多く、画素内で素子の占める面積が大きくなる。そのため、図 9 では、スイッチを直列接続し、デコーダとスイッチを兼ねて素子数を減らしている。スイッチはトランスミッションゲートを用いても良い。

【 0 0 7 7 】

[実施例 6]

本実施例では、実施例 4 や実施例 5 において図 8 や図 9 で示した D/A コンバータとは異なる構造のものを用いた例を示す。図 2 0 に、その回路図を示す。

【 0 0 7 8 】

図 8 や図 9 で示した D/A コンバータでは、階調電圧線を用いるため、階調数の分だけ配線が必要となり、多階調化には適さない。そのため、図 2 0 では、容量 C 1 ~ C 3 の組み合わせによって、基準電圧を分圧し、階調電圧を作っている。このような容量分割方式では、容量 C 1 ~ C 3 の比で階調が作られるため、多様な階調が表現可能である。

【 0 0 7 9 】

この様な容量分割方式の D/A コンバータは、AMLCD99 Digest of Technical Papers p29~32に記載してある。

【 0 0 8 0 】

[実施例 7]

本実施例では、実施例 4 や実施例 5 及び実施例 6 において図 8 や図 9 及び図 2 0 で示した D/A コンバータとは異なる構造のものを用いた例を示す。図 2 1 にその回路図を示す。

【 0 0 8 1 】

図 2 1 に示したものは、実施例 6 で示した図 2 0 の D/A コンバータをさらに簡略化したものである。容量 $C_1 \sim C_3$ それぞれの 2 つの電極のうち液晶素子と接続されていない方の電極は、リセット時には V_L に接続され、非リセット時には、 V_H または V_L のいずれかに接続されるが、その接続をスイッチのみで構成できる。スイッチはトランスマッションゲートを用いても良い。

【 0 0 8 2 】

[実施例 8]

図 2 2 に示す様に、ソース信号線駆動回路のラッチ回路を 1 ビット分のみ有し、代わりにソース信号線駆動回路を 3 倍の速度で動作させ、1 ライン期間中に、第 1 ビットデータ、第 2 ビットデータ、第 3 ビットデータの順にデータをソース信号線駆動回路に入力し、実施例 1 のソース信号線駆動回路と同様の効果を得られる。

【 0 0 8 3 】

この方式では、外部にデータを順に入れ替えるための回路が必要であるが、ソース信号線駆動回路は小さくすることが可能である。

【 0 0 8 4 】

[実施例 9]

本実施例では、本発明の表示装置の画素部とその周辺に設けられる駆動回路部（ソース信号線側駆動回路、ゲート信号線側駆動回路、画素選択信号線側駆動回路）の T F T を同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路部に関しては基本単位である C M O S 回路を図示することとする。

【 0 0 8 5 】

まず、図 1 0 (A) に示すように、コーニング社の # 7 0 5 9 ガラスや # 1 7 3 7 ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板 5 0 0 1 上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜 5 0 0 2 を形成する。例えば、プラズマ C V D 法で $S i H_4$ 、 $N H_3$ 、 $N_2 O$ から作製される酸化窒化シリコン膜 5 0 0 2 a を 1 0 ~ 2 0 0 [nm]（好ましくは 5 0 ~ 1 0 0 [nm]）形成

し、同様に SiH_4 、 N_2O から作製される酸化窒化水素化シリコン膜 5 0 0 2 b を 5 0 ~ 2 0 0 [nm] (好ましくは 1 0 0 ~ 1 5 0 [nm]) の厚さに積層形成する。本実施例では下地膜 5 0 0 2 を 2 層構造として示したが、前記絶縁膜の単層膜または 2 層以上積層させた構造として形成しても良い。

【 0 0 8 6 】

島状半導体層 5 0 0 3 ~ 5 0 0 6 は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層 5 0 0 3 ~ 5 0 0 6 の厚さは 2 5 ~ 8 0 [nm] (好ましくは 3 0 ~ 6 0 [nm]) の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム (SiGe) 合金などで形成すると良い。

【 0 0 8 7 】

レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーや YAG レーザー、 YVO_4 レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数 3 0 [Hz] とし、レーザーエネルギー密度を 1 0 0 ~ 4 0 0 [mJ/cm^2] (代表的には 2 0 0 ~ 3 0 0 [mJ/cm^2]) とする。また、YAG レーザーを用いる場合にはその第 2 高調波を用いパルス発振周波数 1 ~ 1 0 [kHz] とし、レーザーエネルギー密度を 3 0 0 ~ 6 0 0 [mJ/cm^2] (代表的には 3 5 0 ~ 5 0 0 [mJ/cm^2]) とすると良い。そして幅 1 0 0 ~ 1 0 0 0 [μm]、例えば 4 0 0 [μm] で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率 (オーバーラップ率) を 8 0 ~ 9 8 [%] として行う。

【 0 0 8 8 】

次いで、島状半導体層 5 0 0 3 ~ 5 0 0 6 を覆うゲート絶縁膜 5 0 0 7 を形成する。ゲート絶縁膜 5 0 0 7 はプラズマ CVD 法またはスパッタ法を用い、厚さを 4 0 ~ 1 5 0 [nm] としシリコンを含む絶縁膜で形成する。本実施例では、1 2 0 [nm] の厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を

単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS (Tetraethyl Orthosilicate) と O_2 とを混合し、反応圧力40 [Pa]、基板温度300～400 [°C]とし、高周波(13.56 [MHz])、電力密度0.5～0.8 [W/cm²]で放電させて形成することが出来る。このようにして作製される酸化シリコン膜は、その後400～500 [°C]の熱アニールによりゲート絶縁膜として良好な特性を得ることが出来る。

【0089】

そして、ゲート絶縁膜5007上にゲート電極を形成するための第1の導電膜5008と第2の導電膜5009とを形成する。本実施例では、第1の導電膜5008をTaで50～100 [nm]の厚さに形成し、第2の導電膜5009をWで100～300 [nm]の厚さに形成する。

【0090】

Ta膜はスパッタ法で、TaのターゲットをArでスパッタすることにより形成する。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することが出来る。また、 α 相のTa膜の抵抗率は20 [$\mu\Omega$ cm]程度でありゲート電極に使用することが出来るが、 β 相のTa膜の抵抗率は180 [$\mu\Omega$ cm]程度でありゲート電極とするには不向きである。 α 相のTa膜を形成するために、Taの α 相に近い結晶構造をもつ窒化タンタルを10～50 [nm]程度の厚さでTaの下地に形成しておくことと α 相のTa膜を容易に得ることが出来る。

【0091】

W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タングステン(WF₆)を用いる熱CVD法で形成することも出来る。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20 [$\mu\Omega$ cm]以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることが出来るが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999 [%]のWターゲットを用い、さらに成膜時に気相中の不純物の混入がないように十分配慮してW膜を形成することにより、抵抗

率 $9 \sim 20 [\mu \Omega \text{cm}]$ を実現することが出来る。

【0092】

なお、本実施例では、第1の導電膜5008をTa、第2の導電膜5009をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cuなどから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の組み合わせの一例で望ましいものとしては、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をWとする組み合わせ、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をAlとする組み合わせ、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をCuとする組み合わせ等が挙げられる。

【0093】

次に、レジストによるマスク5010を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスに CF_4 と Cl_2 を混合し、1 [Pa]の圧力でコイル型の電極に500 [W]のRF (13.56 [MHz]) 電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100 [W]のRF (13.56 [MHz]) 電力を投入し、実質的に負の自己バイアス電圧を印加する。 CF_4 と Cl_2 を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

【0094】

上記エッチング条件では、レジストによるマスクの形状に適したものとするにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。テーパ部の角度は $15 \sim 45^\circ$ となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、 $10 \sim 20 [\%]$ 程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は $2 \sim 4$ (代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は $20 \sim 50 [\text{nm}]$ 程度エッチングされる

ことになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層5011～5016（第1の導電層5011a～5016aと第2の導電層5011b～5016b）を形成する。このとき、ゲート絶縁膜5007においては、第1の形状の導電層5011～5016で覆われない領域は20～50[nm]程度エッチングされ薄くなった領域が形成される。

（図10（A））

【0095】

そして、第1のドーピング処理を行いN型を付与する不純物元素を添加する。ドーピングの方法はイオンドーピング法もしくはイオン注入法で行えば良い。イオンドーピング法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14} [\text{atoms}/\text{cm}^2]$ とし、加速電圧を60～100[keV]として行う。N型を付与する不純物元素として15族に属する元素、典型的にはリン（P）または砒素（As）を用いるが、ここではリン（P）を用いる。この場合、導電層5011～5016がN型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域5017～5020が形成される。第1の不純物領域5017～5020には $1 \times 10^{20} \sim 1 \times 10^{21} [\text{atoms}/\text{cm}^3]$ の濃度範囲でN型を付与する不純物元素を添加する。（図10（B））

【0096】

次に、図10（C）に示すように、レジストマスクは除去しないまま、第2のエッチング処理を行う。エッチングガスに CF_4 と Cl_2 と O_2 とを用い、W膜を選択的にエッチングする。この時、第2のエッチング処理により第2の形状の導電層5021～5026（第1の導電層5021a～5026aと第2の導電層5021b～5026b）を形成する。このとき、ゲート絶縁膜5007においては、第2の形状の導電層5021～5026で覆われない領域はさらに20～50[nm]程度エッチングされ薄くなった領域が形成される。

【0097】

W膜やTa膜の CF_4 と Cl_2 の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することが出来る。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物である WF_6 が極

端に高く、その他の WCl_5 、 TaF_5 、 $TaCl_5$ は同程度である。従って、 CF_4 と Cl_2 の混合ガスではW膜及びTa膜共にエッチングされる。しかし、この混合ガスに適量の O_2 を添加すると CF_4 と O_2 が反応してCOとFになり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaはFが増大しても相対的にエッチング速度の増加は少ない。また、TaはWに比較して酸化されやすいので、 O_2 を添加することでTaの表面が酸化される。Taの酸化物はフッ素や塩素と反応しないためさらにTa膜のエッチング速度は低下する。従って、W膜とTa膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTa膜よりも大きくすることが可能となる。

【0098】

そして、図11(A)に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーズ量を下げて高い加速電圧の条件としてN型を付与する不純物元素をドーピングする。例えば、加速電圧を70～120 [keV]とし、 1×10^{13} [atoms/cm²]のドーズ量で行い、図10(B)で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層5021～5026を不純物元素に対するマスクとして用い、第1の導電層5021a～5026aの下側の領域の半導体層にも不純物元素が添加されるようにドーピングする。こうして、第2の不純物領域5027～5031が形成される。この第2の不純物領域5027～5031に添加されたリン(P)の濃度は、第1の導電層5021a～5026aのテーパ部の膜厚に従って緩やかな濃度勾配を有している。なお、第1の導電層5021a～5026aのテーパ部と重なる半導体層において、第1の導電層5021a～5026aのテーパ部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。

【0099】

続いて、図11(B)に示すように第3のエッチング処理を行う。エッチングガスに CHF_6 を用い、反応性イオンエッチング法(RIE法)を用いて行う。第3のエッチング処理により、第1の導電層5021a～5026aのテーパ

部を部分的にエッチングして、第1の導電層が半導体層と重なる領域が縮小される。第3のエッチング処理によって、第3の形状の導電層5032～5037（第1の導電層5032a～5037aと第2の導電層5032b～5037b）を形成する。このとき、ゲート絶縁膜5007においては、第3の形状の導電層5032～5037で覆われない領域はさらに20～50[nm]程度エッチングされ薄くなった領域が形成される。

【0100】

第3のエッチング処理によって、第2の不純物領域5027～5031においては、第1の導電層5032a～5037aと重なる第2の不純物領域5027a～5031aと、第1の不純物領域と第2の不純物領域との間の第3の不純物領域5027b～5031bとが形成される。

【0101】

そして、図11(C)に示すように、Pチャネル型TFTを形成する島状半導体層5004に、第1の導電型とは逆の導電型の第4の不純物領域5039～5044を形成する。第3の形状の導電層5033bを不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、Nチャネル型TFTを形成する島状半導体層5003、5005、保持容量部5006および配線部5034はレジストマスク5038で全面を被覆しておく。不純物領域5039～5044にはそれぞれ異なる濃度でリンが添加されているが、ジボラン（ B_2H_6 ）を用いたイオンドープ法で形成し、そのいずれの領域においても不純物濃度が $2 \times 10^{20} \sim 2 \times 10^{21}$ [atoms/cm³]となるようにする。

【0102】

以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第3の形状の導電層5032、5033、5035、5036がゲート電極として機能する。また、5034は島状のソース信号線として機能する。5037は容量配線として機能する。

【0103】

レジストマスク5038を除去した後、導電型の制御を目的として、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はフ

アーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法（RTA法）を適用することが出来る。熱アニール法では酸素濃度が1 [ppm] 以下、好ましくは0. 1 [ppm] 以下の窒素雰囲気中で400～700 [℃]、代表的には500～600 [℃]で行うものであり、本実施例では500 [℃]で4時間の熱処理を行う。ただし、第3の形状の導電層5037～5042に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜（シリコンを主成分とする）を形成した後で活性化を行うことが好ましい。

【0104】

さらに、3～100 [%]の水素を含む雰囲気中で、300～450 [℃]で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0105】

次いで、第1の層間絶縁膜5045は酸化窒化シリコン膜から100～200 [nm]の厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜5046を形成する。次いで、コンタクトホールを形成するためのエッチング工程を行う。

【0106】

そして、駆動回路部において島状半導体層のソース領域とコンタクトを形成するソース配線5047、5048、ドレイン領域とコンタクトを形成するドレイン配線5049を形成する。また、画素部においては、接続電極5050、画素電極5051、5052を形成する（図12（A））。この接続電極5050により、ソース信号線5034は、画素TF Tと電気的な接続が形成される。なお、画素電極5052及び保持容量は隣り合う画素のものである。

【0107】

以上のようにして、Nチャネル型TF T、Pチャネル型TF Tを有する駆動回路部と、画素TF T、保持容量を有する画素部とを同一基板上に形成することが

できる。本明細書中ではこのような基板をアクティブマトリクス基板と呼ぶ。

【0108】

本実施例は、ブラックマトリクスを用いることなく、画素電極間の隙間を遮光することができるように、画素電極の端部を信号線や走査線と重なるように配置されている。

【0109】

また、本実施例で示す工程に従えば、アクティブマトリクス基板の作製に必要なフォトリソマスクの数を5枚（島状半導体層パターン、第1配線パターン（走査線、信号線、容量配線）、Pチャネル領域のマスクパターン、コンタクトホールパターン、第2配線パターン（画素電極、接続電極含む））とすることができる。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することができる。

【0110】

続いて、図12（B）の状態のアクティブマトリクス基板を得た後、アクティブマトリクス基板上に配向膜5053を形成しラビング処理を行う。

【0111】

一方、対向基板5054を用意する。対向基板5054にはカラーフィルター層5055～5057、オーバーコート層5058を形成する。カラーフィルター層はTFTの上方で赤色のカラーフィルター層5055と青色のカラーフィルター層5056とを重ねて形成し遮光膜を兼ねる構成とする。少なくともTFTと、接続電極と画素電極との間を遮光する必要があるため、それらの位置を遮光するように赤色のカラーフィルターと青色のカラーフィルターを重ねて配置することが好ましい。

【0112】

また、接続電極5050に合わせて赤色のカラーフィルター層5055、青色のカラーフィルター層5056、緑色のカラーフィルター層5057とを重ね合わせてスペーサを形成する。各色のカラーフィルターはアクリル樹脂に顔料を混合したもので1～3[μm]の厚さで形成する。これは感光性材料を用い、マスクを用いて所定のパターンに形成することができる。スペーサの高さはオーバーコ

ート層 5 0 5 8 の厚さ 1 ~ 4 [μm] を考慮することにより 2 ~ 7 [μm] 、好ましくは 4 ~ 6 [μm] とすることができ、この高さによりアクティブマトリクス基板と対向基板とを貼り合わせた時のギャップを形成する。オーバーコート層 5 0 5 8 は光硬化型または熱硬化型の有機樹脂材料で形成し、例えば、ポリイミドやアクリル樹脂などを用いる。

【 0 1 1 3 】

スペーサの配置は任意に決定すれば良いが、例えば図 1 2 (B) で示すように接続電極上に位置が合うように対向基板 5 0 5 4 上に配置すると良い。また、駆動回路部の T F T 上にその位置を合わせてスペーサを対向基板 5 0 5 4 上に配置してもよい。このスペーサは駆動回路部の全面に渡って配置しても良いし、ソース配線およびドレイン配線を覆うようにして配置しても良い。

【 0 1 1 4 】

オーバーコート層 5 0 5 8 を形成した後、対向電極 5 0 5 9 をパターンニング形成し、配向膜 5 0 6 0 を形成した後ラビング処理を行う。

【 0 1 1 5 】

そして、画素部と駆動回路部が形成されたアクティブマトリクス基板と対向基板とをシール剤 5 0 6 2 で貼り合わせる。シール剤 5 0 6 2 にはフィラーが混入されていて、このフィラーとスペーサによって均一な間隔を持って 2 枚の基板が貼り合わせられる。その後、両基板の間に液晶材料 5 0 6 1 を注入し、封止剤（図示せず）によって完全に封止する。液晶材料 5 0 6 1 には公知の液晶材料を用いれば良い。このようにして図 1 2 (B) に示すアクティブマトリクス型液晶表示装置が完成する。

【 0 1 1 6 】

なお、上記の行程により作成されるアクティブマトリクス型液晶表示装置における T F T はトップゲート構造をとっているが、ボトムゲート構造の T F T やその他の構造の T F T に対しても本実施例は容易に適用され得る。

【 0 1 1 7 】

また、本実施例においては、ガラス基板上を使用しているが、ガラス基板に限らず、プラスチック基板、ステンレス基板、単結晶ウェハ等、ガラス基板以外の

ものを使用することによっても実施が可能である。

【0118】

[実施例10]

本発明の液晶表示装置は、その画素部に記憶回路を複数有するため、1つの画素を構成する素子の数が通常の画素よりも多くなる。よって、透過型の液晶表示装置の場合、開口率の低下による輝度不足が考えられることから、本発明は、反射型の液晶表示装置に適用されるのが望ましい。本実施例において、作成工程の一例を示す。

【0119】

実施例9に従い、図19(A)に示すアクティブマトリクス基板(図12(A)と同様)を作成する。続いて、第3の層間絶縁膜5201として、樹脂膜を形成した後、画素電極部にコンタクトホールを開口し、反射電極5202を形成する。反射電極5202としては、Al、Agを主成分とする膜、あるいはそれらの積層膜等の、反射性に優れた材料を用いることが望ましい。

【0120】

一方、対向基板5054を用意する。対向基板5054には、本実施例においては対向電極5205をパターンニングして形成している。対向電極5205は、透明導電膜として形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物(ITOと呼ばれる)または酸化インジウムと酸化亜鉛との化合物からなる材料を用いることが出来る。

【0121】

特に図示していないが、カラー液晶表示装置の作成の際には、カラーフィルタ層を形成する。このとき、隣接した色の異なるカラーフィルタ層を重ねて形成し、TFT部分の遮光膜を兼ねる構成とすると良い。

【0122】

その後、アクティブマトリクス基板および対向基板に、配向膜5203および5204を形成し、ラビング処理を行う。

【0123】

そして、画素部と駆動回路部が形成されたアクティブマトリクス基板と対向基

板とをシール剤 5 2 0 6 で貼り合わせる。シール剤 5 2 0 6 にはフィラーが混入されていて、このフィラーとスペーサによって均一な間隔を持って 2 枚の基板が貼り合わせられる。その後、両基板の間に液晶材料 5 2 0 7 を注入し、封止剤（図示せず）によって完全に封止する。液晶材料 5 2 0 7 には公知の液晶材料を用いれば良い。このようにして図 1 9 （B）に示す反射型の液晶表示装置が完成する。

【 0 1 2 4 】

なお、本実施例においては、ガラス基板に限らず、プラスチック基板、ステンレス基板、単結晶ウェハ等、ガラス基板以外のものを使用することも可能である。

【 0 1 2 5 】

また、画素の半分を反射電極、残る半分を透明電極とした、半透過型の表示装置として作成する場合にも、本発明は容易に適用することが出来る。

【 0 1 2 6 】

[実施例 1 1]

実施例 1 ～実施例 8 にて示した、本発明の液晶表示装置の画素部においては、記憶回路としてスタティック型メモリ（Static RAM : SRAM）を用いて構成していたが、記憶回路は S R A M のみに限定されない。本発明の液晶表示装置の画素部に適用可能な記憶回路には、他にダイナミック型メモリ（Dynamic RAM : DRAM）等があげられる。

【 0 1 2 7 】

さらに、特に図示しないが、他の形式の記憶回路として、強誘電体メモリ（Ferroelectric RAM : FRAM）を利用して本発明の液晶表示装置の画素部を構成することも可能である。F R A M は、S R A M や D R A M と同等の書き込み速度を有する不揮発性メモリであり、その書き込み電圧が低い等の特徴を利用して、本発明の液晶表示装置のさらなる低消費電力化が可能である。またその他、フラッシュメモリ等によっても、構成は可能である。

【 0 1 2 8 】

[実施例 1 2]

本発明を適用して作成した駆動回路を用いたアクティブマトリクス型表示装置には様々な用途がある。本実施例では、本発明を適用して作成した駆動回路を用いた表示装置を組み込んだ半導体装置について説明する。

【 0 1 2 9 】

このような表示装置には、携帯情報端末（電子手帳、モバイルコンピュータ、携帯電話等）、ビデオカメラ、デジタルカメラ、パーソナルコンピュータ、テレビ等が挙げられる。それらの一例を図 1 5 および図 1 6 に示す。

【 0 1 3 0 】

図 1 5 (A) は携帯電話であり、本体 2 6 0 1、音声出力部 2 6 0 2、音声入力部 2 6 0 3、表示部 2 6 0 4、操作スイッチ 2 6 0 5、アンテナ 2 6 0 6 から構成されている。本発明は表示部 2 6 0 4 に適用することができる。

【 0 1 3 1 】

図 1 5 (B) はビデオカメラであり、本体 2 6 1 1、表示部 2 6 1 2、音声入力部 2 6 1 3、操作スイッチ 2 6 1 4、バッテリー 2 6 1 5、受像部 2 6 1 6 から成っている。本発明は表示部 2 6 1 2 に適用することができる。

【 0 1 3 2 】

図 1 5 (C) はモバイルコンピュータあるいは携帯型情報端末であり、本体 2 6 2 1、カメラ部 2 6 2 2、受像部 2 6 2 3、操作スイッチ 2 6 2 4、表示部 2 6 2 5 で構成されている。本発明は表示部 2 6 2 5 に適用することができる。

【 0 1 3 3 】

図 1 5 (D) はヘッドマウントディスプレイであり、本体 2 6 3 1、表示部 2 6 3 2、アーム部 2 6 3 3 で構成される。本発明は表示部 2 6 3 2 に適用することができる。

【 0 1 3 4 】

図 1 5 (E) はテレビであり、本体 2 6 4 1、スピーカー 2 6 4 2、表示部 2 6 4 3、受信装置 2 6 4 4、増幅装置 2 6 4 5 等で構成される。本発明は表示部 2 6 4 3 に適用することができる。

【 0 1 3 5 】

図 1 5 (F) は携帯書籍であり、本体 2 6 5 1、表示部 2 6 5 2、記憶媒体 2

6 5 3、操作スイッチ 2 6 5 4、アンテナ 2 6 5 5 から構成されており、ミニディスク (MD) や DVD (Digital Versatile Disc) に記憶されたデータや、アンテナで受信したデータを表示するものである。本発明は表示部 2 6 5 2 に適用することができる。

【0 1 3 6】

図 1 6 (A) はパーソナルコンピュータであり、本体 2 7 0 1、画像入力部 2 7 0 2、表示部 2 7 0 3、キーボード 2 7 0 4 で構成される。本発明は表示部 2 7 0 3 に適用することができる。

【0 1 3 7】

図 1 6 (B) はプログラムを記録した記録媒体を用いるプレーヤーであり、本体 2 7 1 1、表示部 2 7 1 2、スピーカー部 2 7 1 3、記録媒体 2 7 1 4、操作スイッチ 2 7 1 5 で構成される。なお、この装置は記録媒体として DVD (Digital Versatile Disc)、CD 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部 2 6 1 2 に適用することができる。

【0 1 3 8】

図 1 6 (C) はデジタルカメラであり、本体 2 7 2 1、表示部 2 7 2 2、接眼部 2 7 2 3、操作スイッチ 2 7 2 4、受像部 (図示しない) で構成される。本発明は表示部 2 7 2 2 に適用することができる。

【0 1 3 9】

図 1 6 (D) は片眼のヘッドマウントディスプレイであり、表示部 2 7 3 1、バンド部 2 7 3 2 で構成される。本発明は表示部 2 7 3 1 に適用することができる。

【0 1 4 0】

[実施例 1 3]

図 2 4 に携帯情報端末に本発明を実施した例を示す。この例では静止画を表示する場合には、CPU 2 4 0 6 の映像信号処理回路 2 4 0 7、VRAM 2 4 1 1 などの機能を停止させ、消費電力の低減を図ることができる。図 2 4 では動作を行う部分を点線で表示してある。また、コントローラ 2 4 1 2 は COG で表示装

置 2 4 1 3 に装着してもよいし、表示装置内部に一体形成してもよい。図 2 5, 2 6 に携帯電話に本発明を実施した例を示す。図 2 1 と同様に静止画表示は一部機能を停止できるので消費電力を低減できる。

【 0 1 4 1 】

【発明の効果】

各画素の内部に配置された複数の記憶回路を用いてデジタル映像信号の記憶を行うことにより、静止画を表示する際に各フレーム期間で記憶回路に記憶されたデジタル映像信号を反復して用い、継続的に静止画表示を行う際に、ソース信号線駆動回路を停止させておくことが可能となる。よって、液晶表示装置全体の低消費電力化に大きく貢献することが出来る。

【図面の簡単な説明】

【図 1】 複数の記憶回路を内部に有する本発明の画素の回路図。

【図 2】 本発明の画素を用いて表示を行うためのソース信号線駆動回路の回路構成例を示す図。

【図 3】 本発明の画素を用いて表示を行うためのタイミングチャートを示す図。

【図 4】 複数の記憶回路を内部に有する本発明の画素の詳細な回路図。

【図 5】 第 2 のラッチ回路を持たないソース信号線駆動回路の回路構成例を示す図。

【図 6】 図 5 のソース信号線駆動回路によって駆動される、本発明を応用した画素の詳細な回路図。

【図 7】 図 5 および図 6 に記載の回路を用いて表示を行うためのタイミングチャートを示す図。

【図 8】 本発明の液晶表示装置の D/A コンバータの構成を示す図。

【図 9】 本発明の液晶表示装置の D/A コンバータの構成を示す図。

【図 1 0】 本発明の画素を有する液晶表示装置の作成工程例を示す図。

【図 1 1】 本発明の画素を有する液晶表示装置の作成工程例を示す図。

【図 1 2】 本発明の画素を有する液晶表示装置の作成工程例を示す図。

【図 1 3】 従来の液晶表示装置の全体の回路構成を簡略に示す図。

【図 1 4】 従来の液晶表示装置のソース信号線駆動回路の回路構成例を示す図。

【図 1 5】 本発明の画素を有する表示装置の適用が可能な電子装置の例を示す図。

【図 1 6】 本発明の画素を有する表示装置の適用が可能な電子装置の例を示す図。

【図 1 7】 第 2 のラッチ回路を持たないソース信号線駆動回路の回路構成例を示す図。

【図 1 8】 図 1 7 に記載の回路を用いて表示を行うためのタイミングチャートを示す図。

【図 1 9】 反射型液晶表示装置の作成工程例を示す図。

【図 2 0】 本発明の液晶表示装置の D/A コンバータの構成を示す図。

【図 2 1】 本発明の液晶表示装置の D/A コンバータの構成を示す図。

【図 2 2】 1 ビット処理分のラッチ回路を有するソース信号線駆動回路の回路構成例を示す図。

【図 2 3】 デコーダを用いたゲート信号線駆動回路の例を示す図。

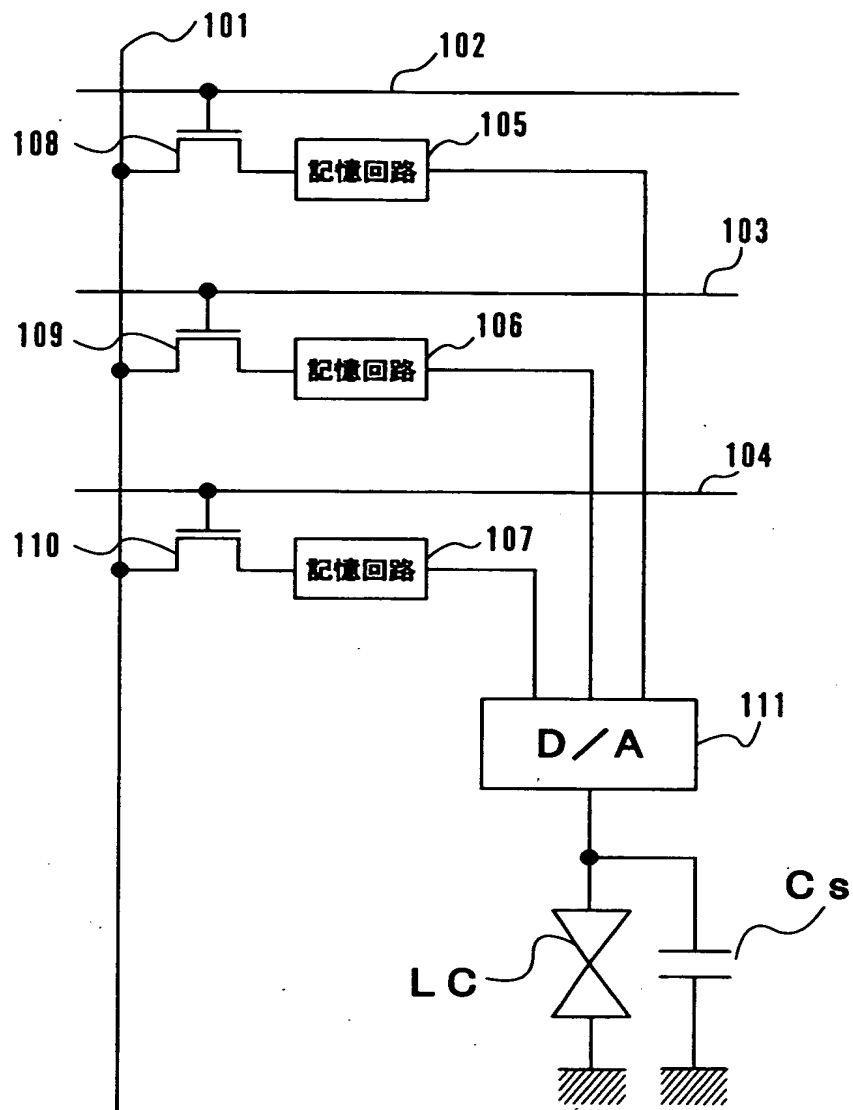
【図 2 4】 本発明を用いた携帯情報端末のブロック図。

【図 2 5】 本発明を用いた携帯電話のブロック図。

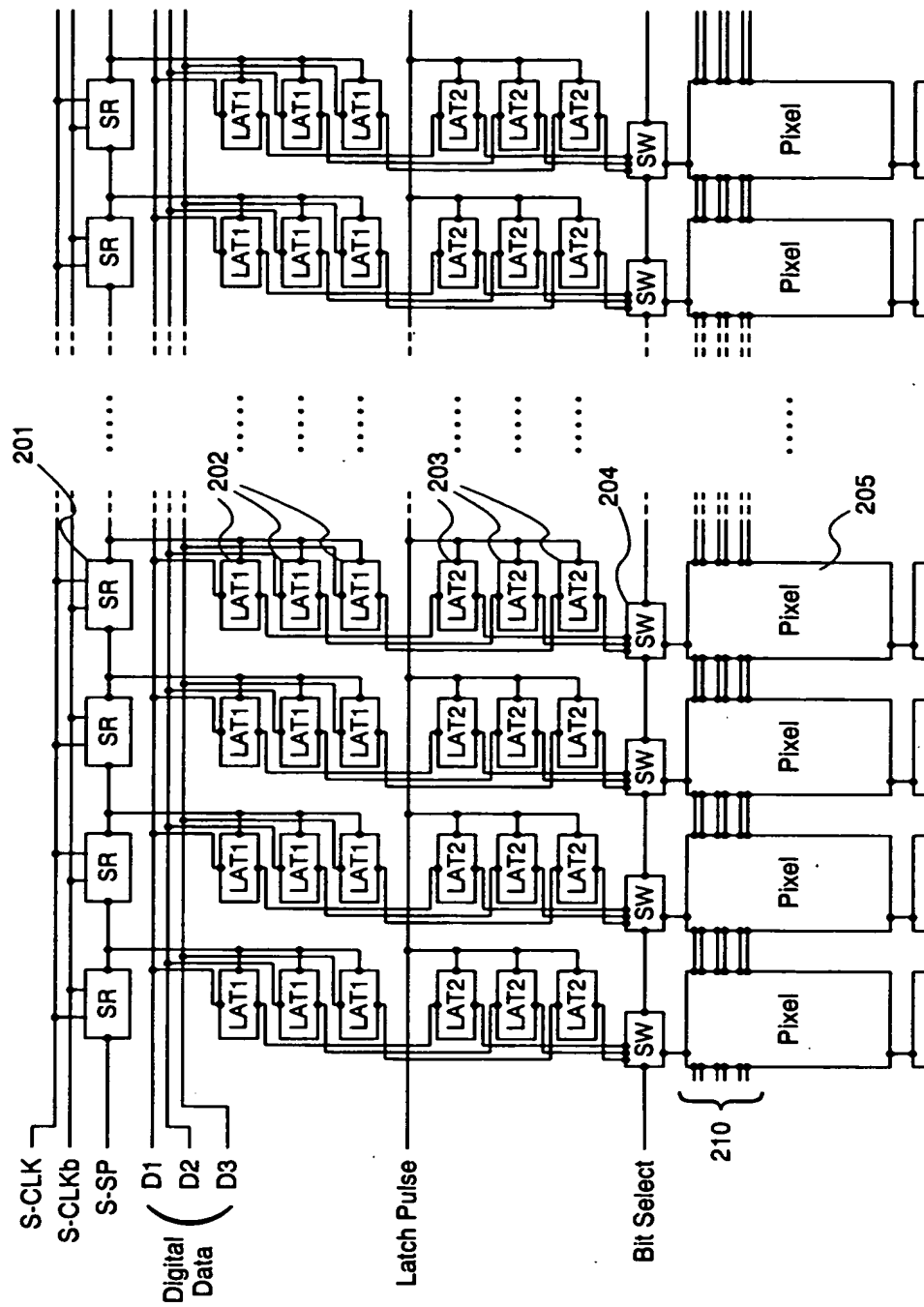
【図 2 6】 携帯電話の送受信部のブロック図。

【書類名】 図面

【図 1】

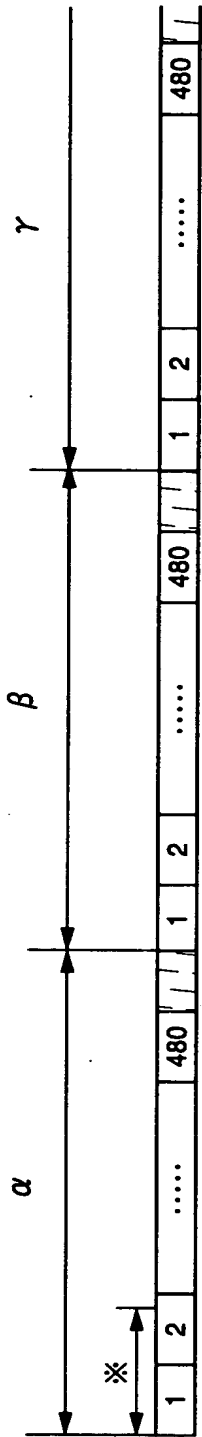


【図 2】

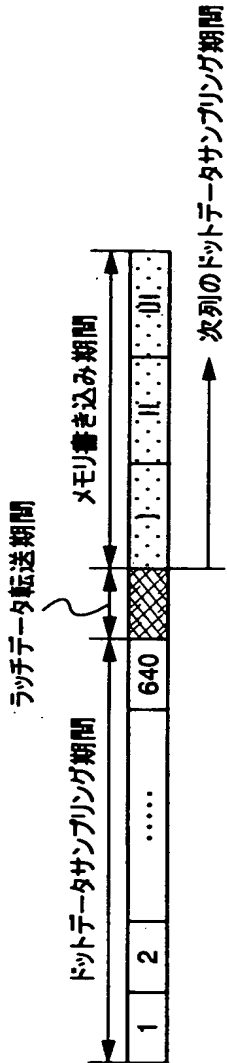


【図 3】

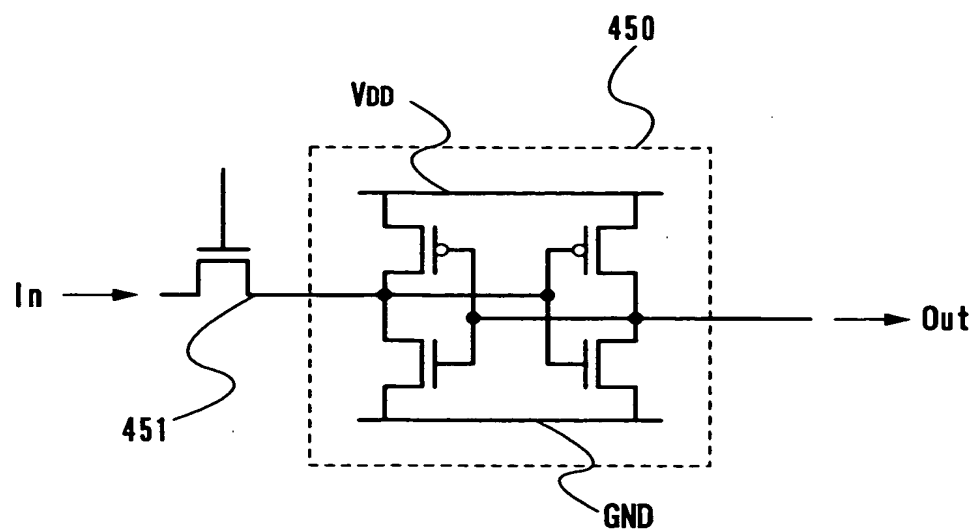
(A)



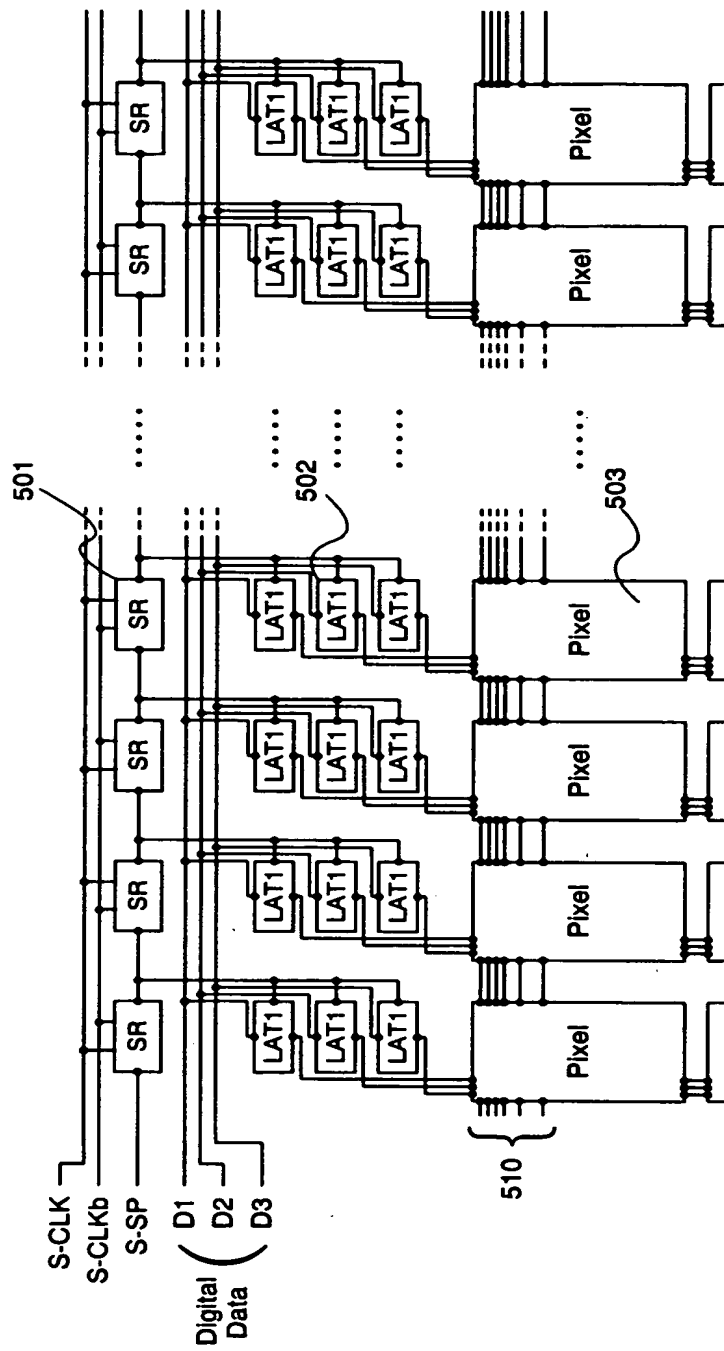
(B)



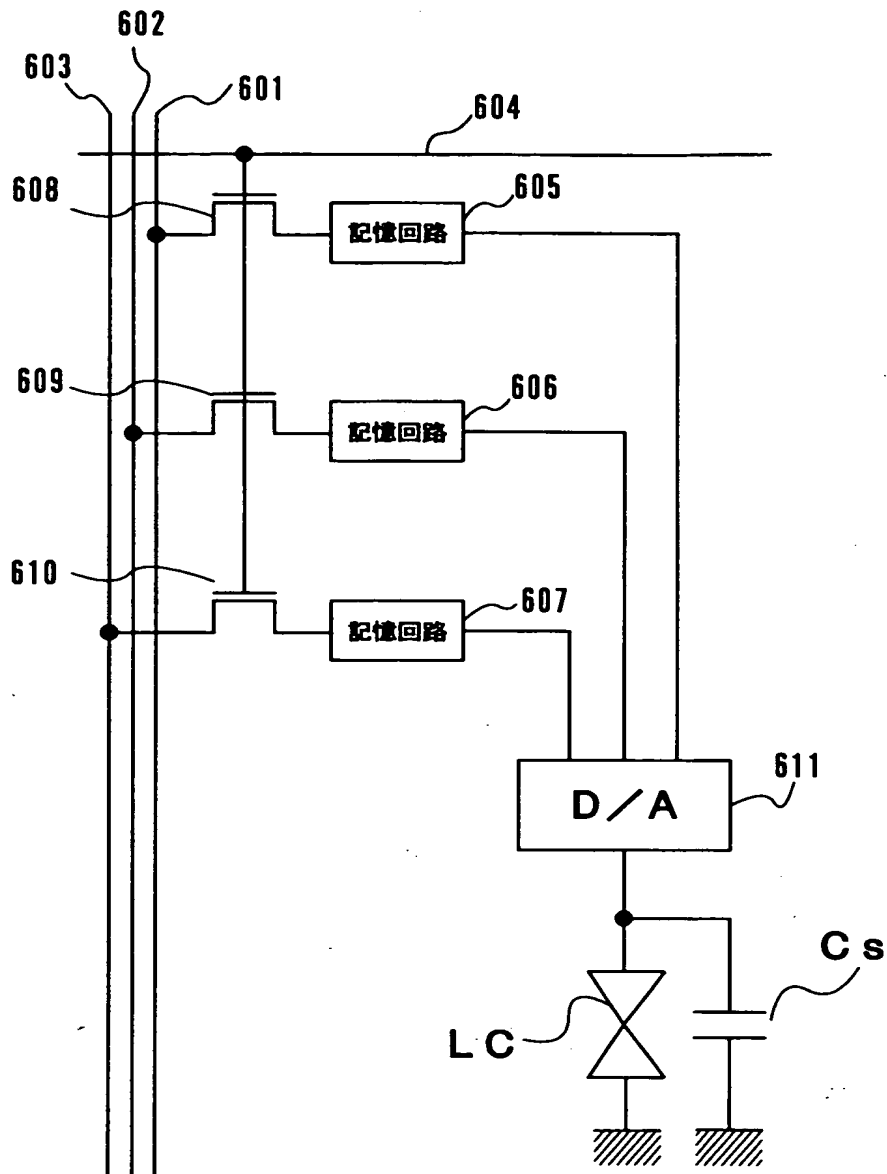
【図 4】



【図 5】

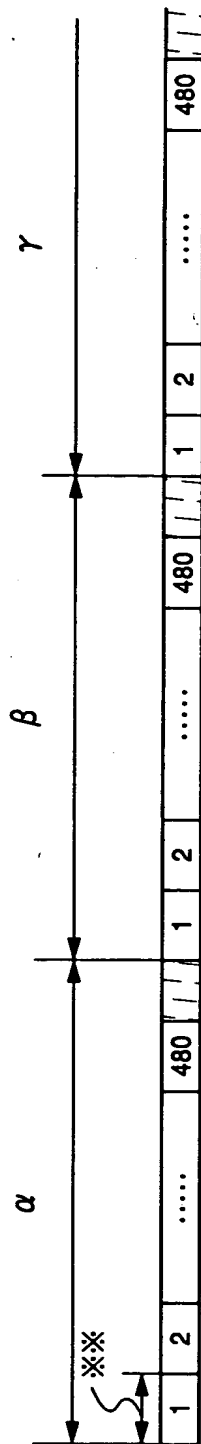


【図 6】

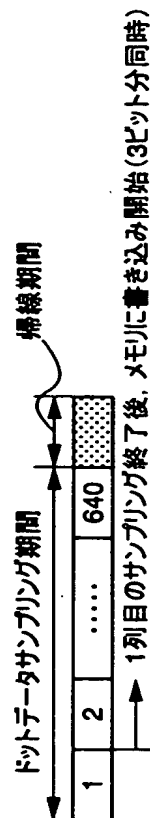


【図 7】

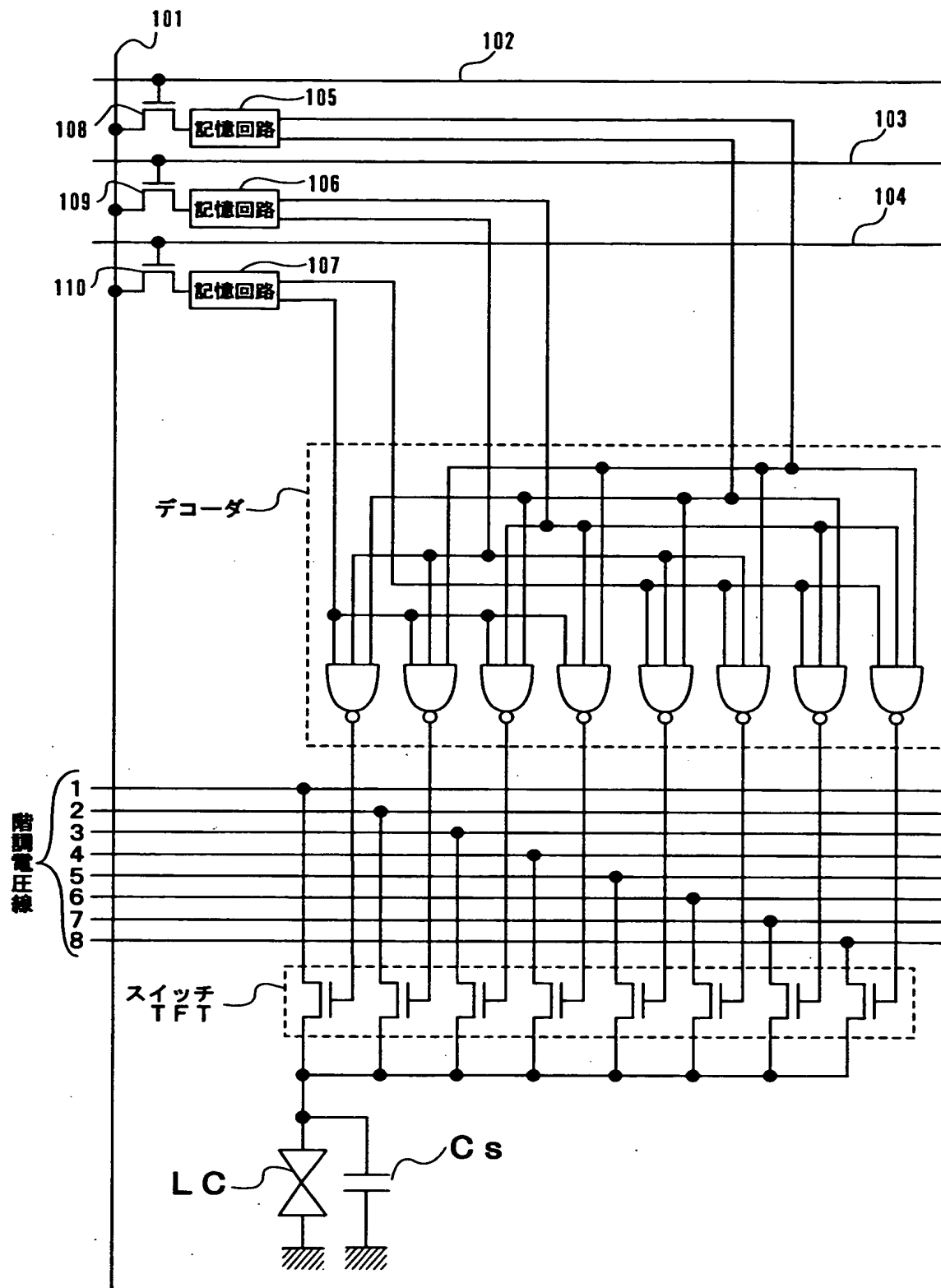
(A)



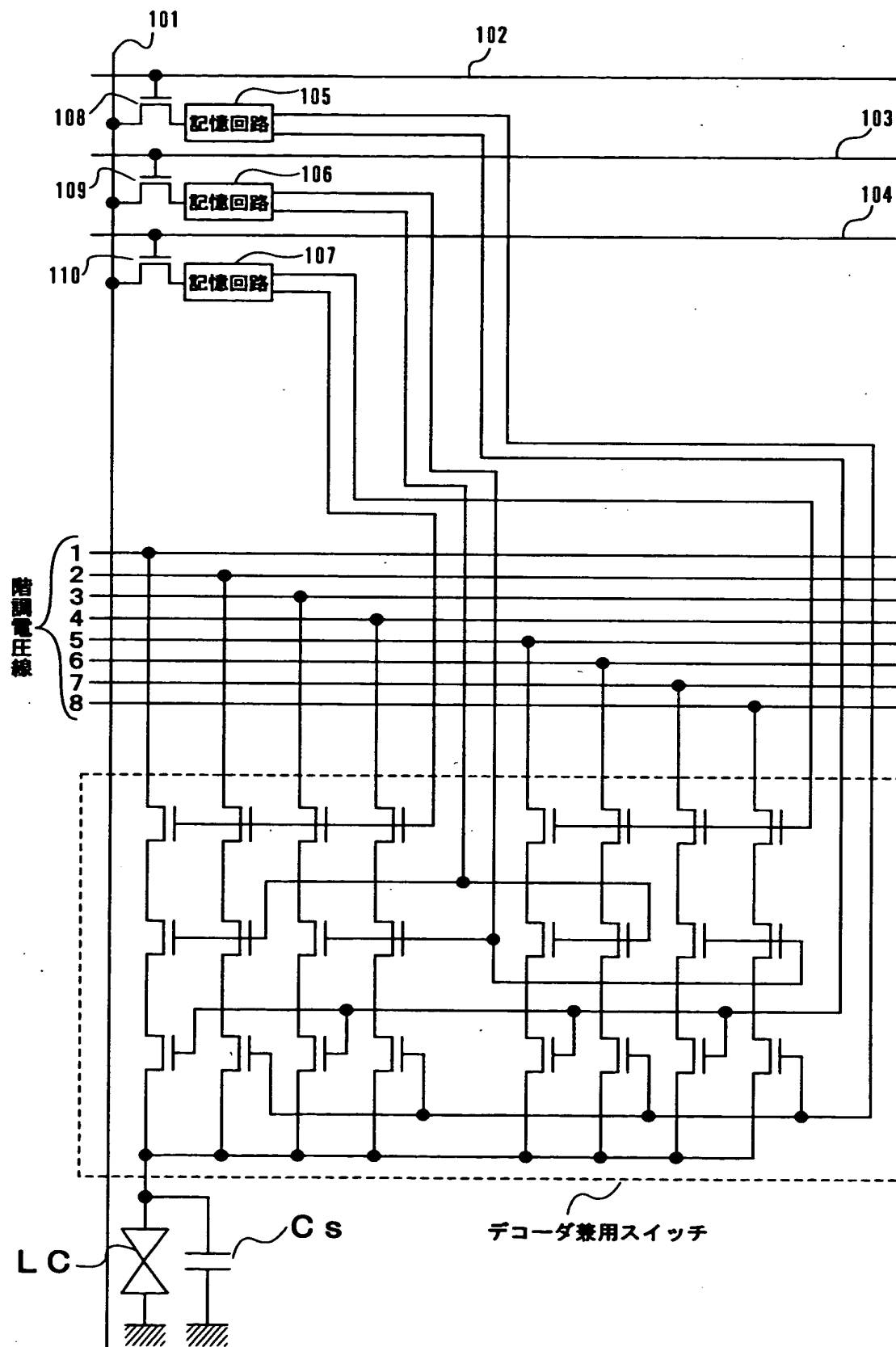
(B)



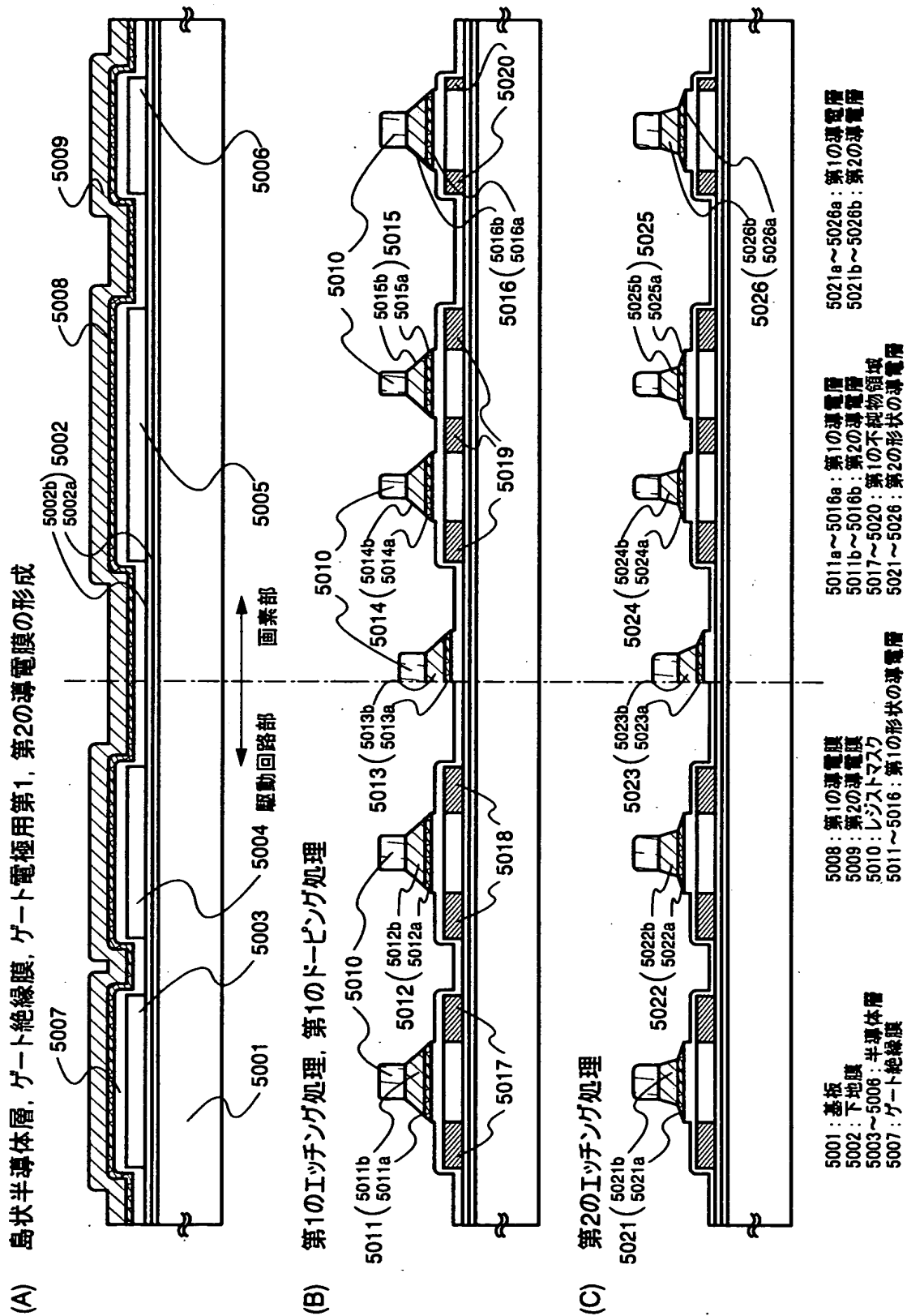
【図 8】



【図 9】

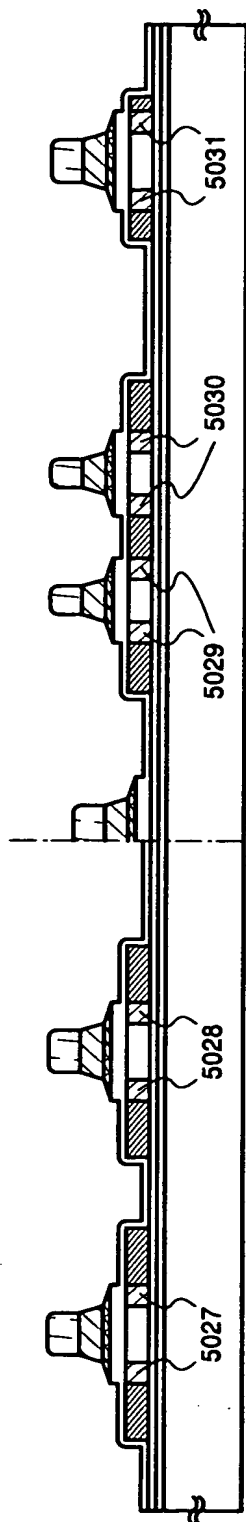


【図 1 0】

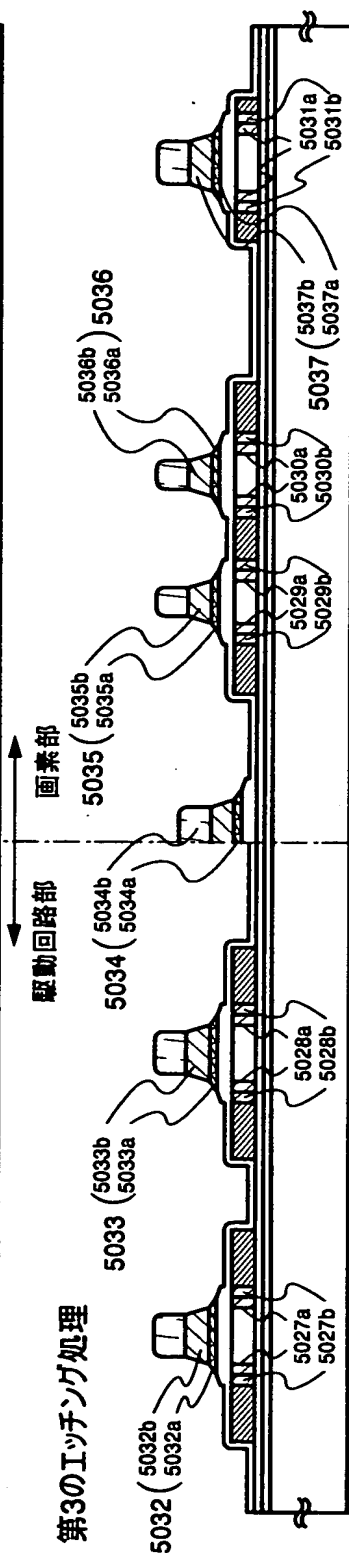


【図 1 1】

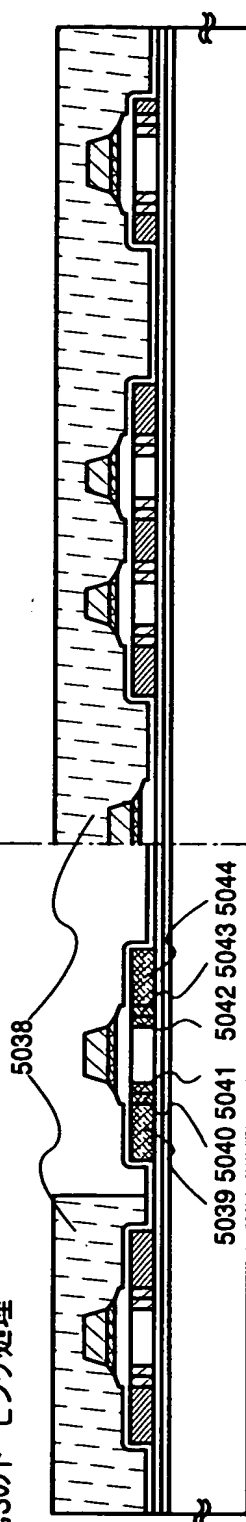
(A) 第2のドーピング処理



(B) 第3のETCHING処理



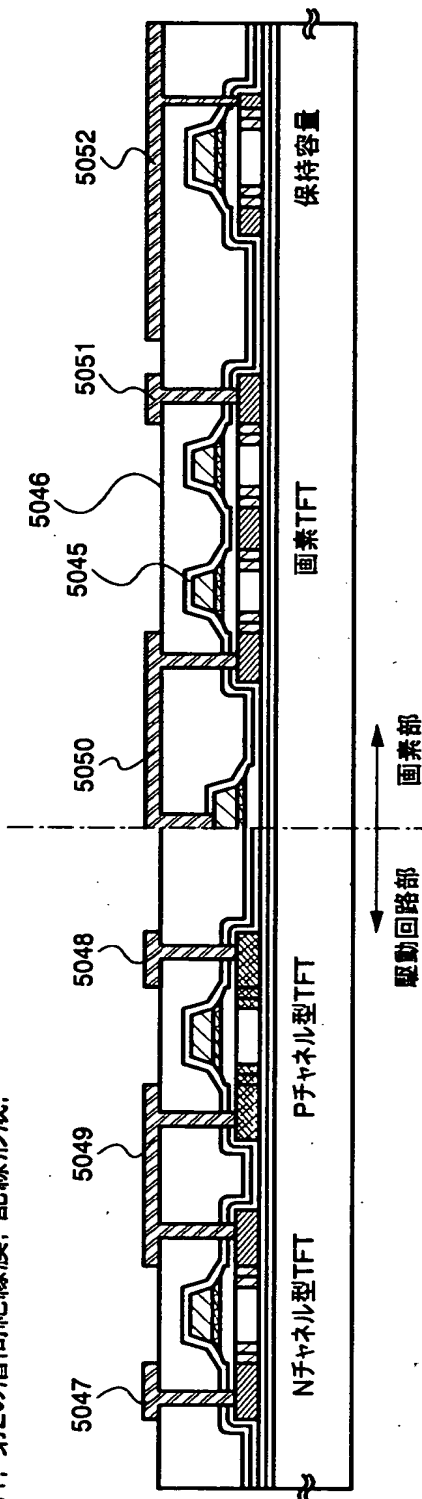
(C) 第3のドーピング処理



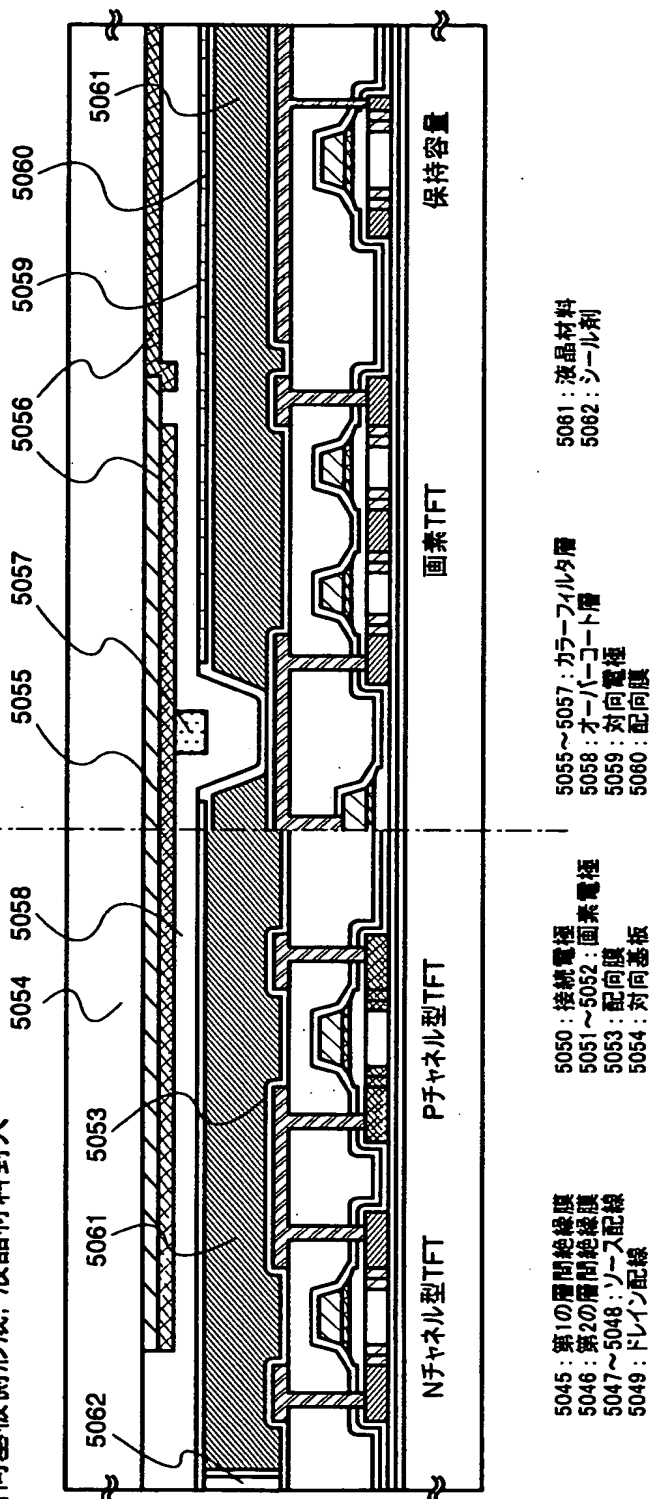
5027~5031 : 第2の不純物領域 (ETCHING前)
 5027a~5031a : 第2の不純物領域 (ETCHING後)
 5027b~5031b : 第3の不純物領域
 5032~5037 : 第3の形状の導電層
 5032a~5037a : 第1の導電層
 5032b~5037b : 第2の導電層
 5038 : レジストマスク
 5039~5044 : 第4の不純物領域

【図 1 2】

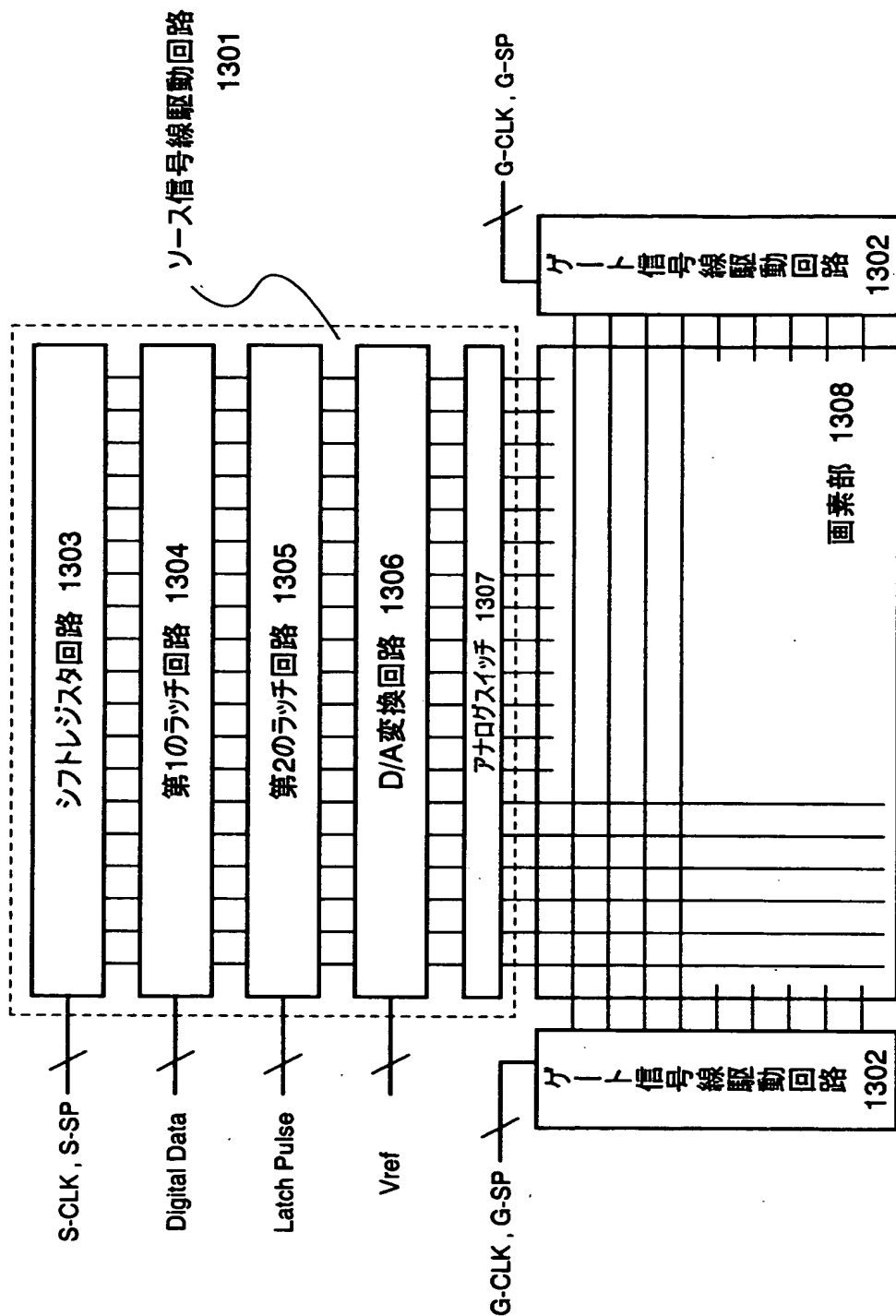
(A) 第1, 第2の層間絶縁膜, 配線形成.



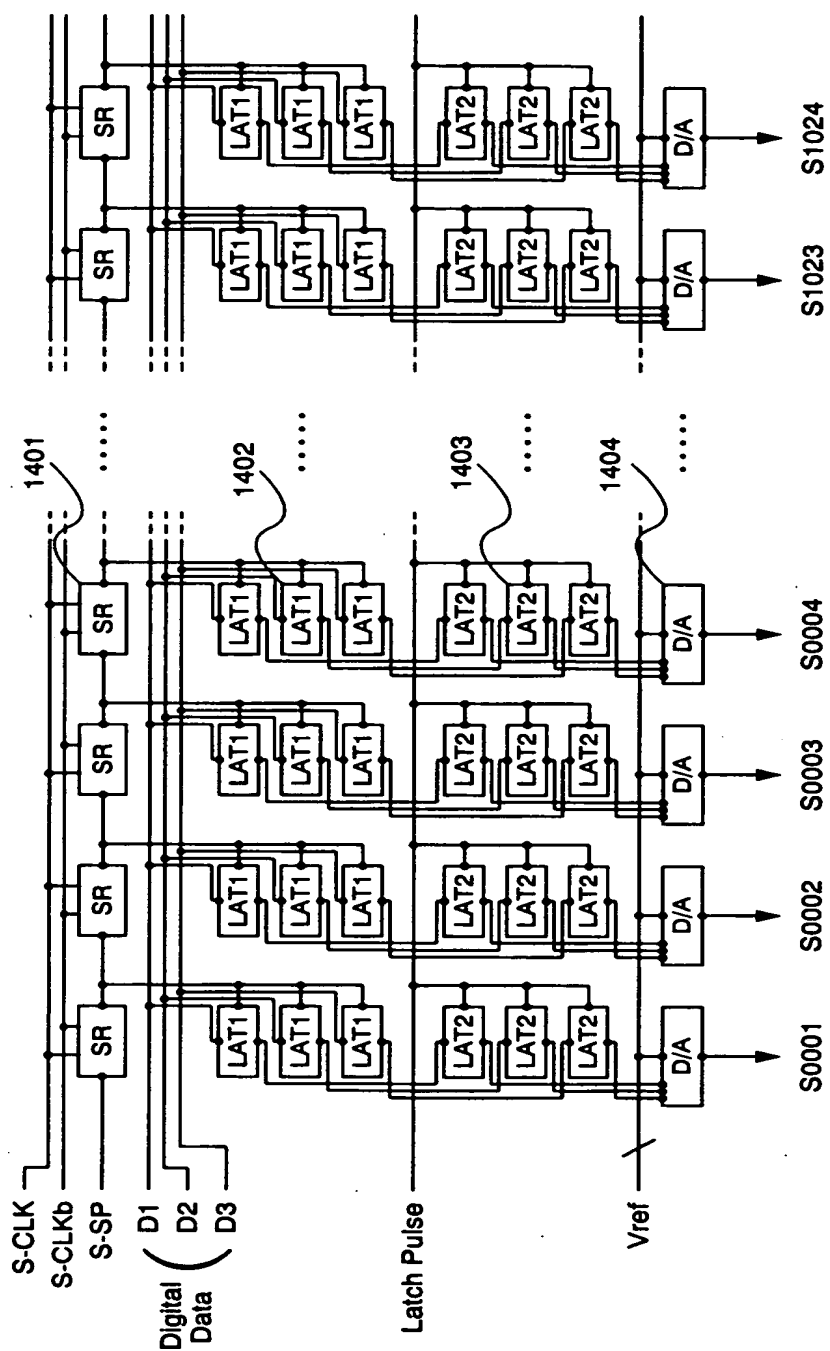
(B) 対向基板側形成, 液晶材料封入



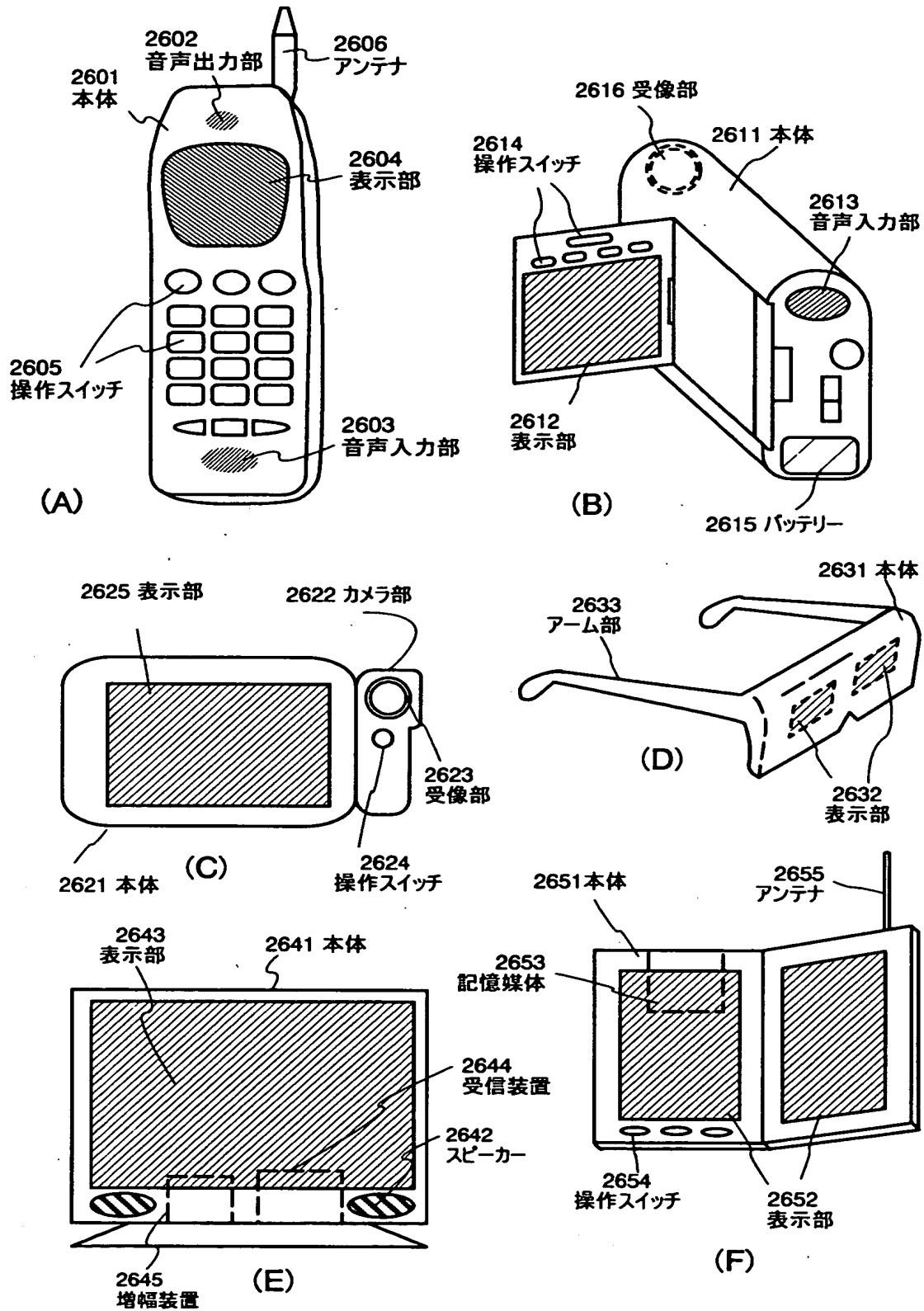
【図 1 3】



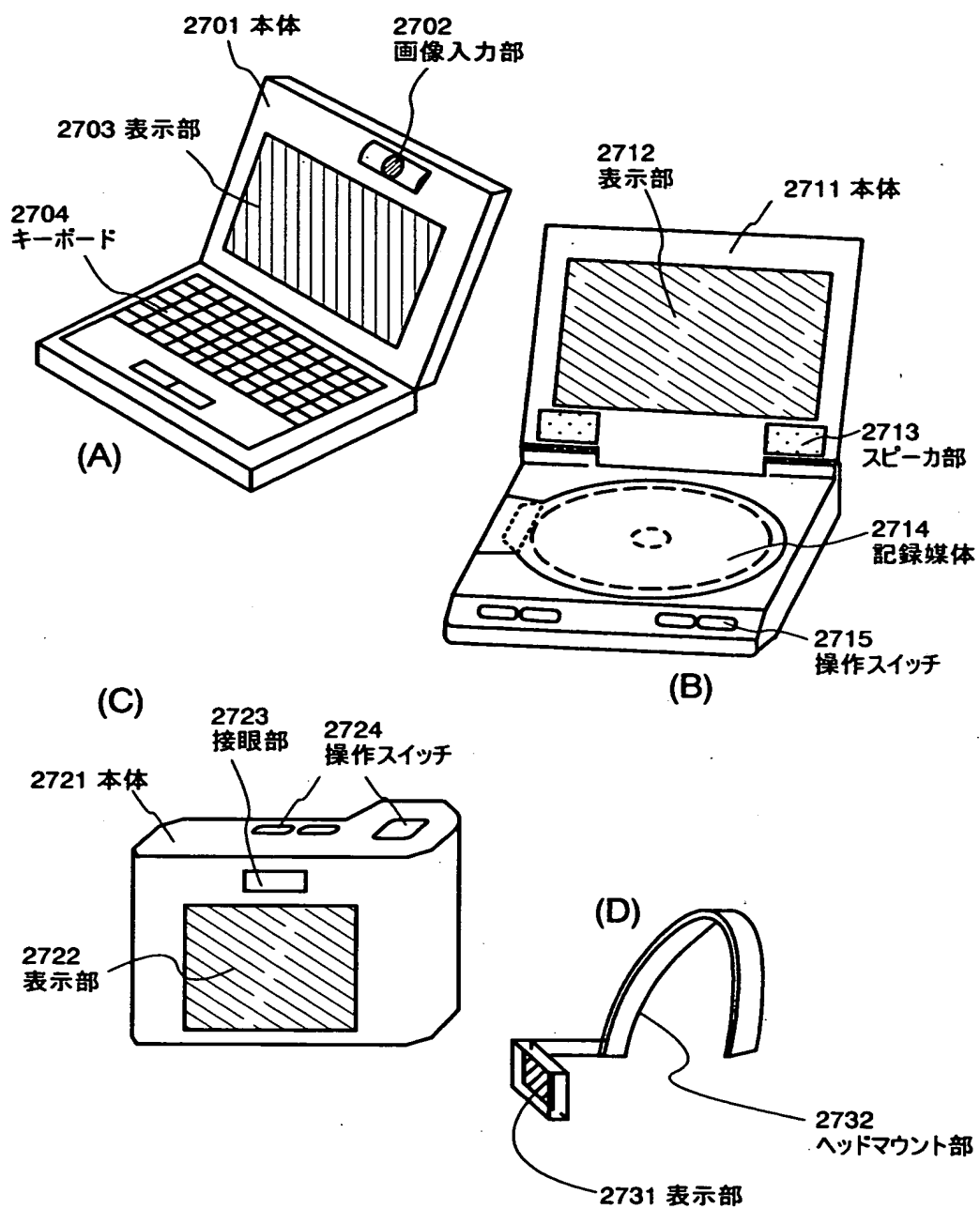
【図 1 4】



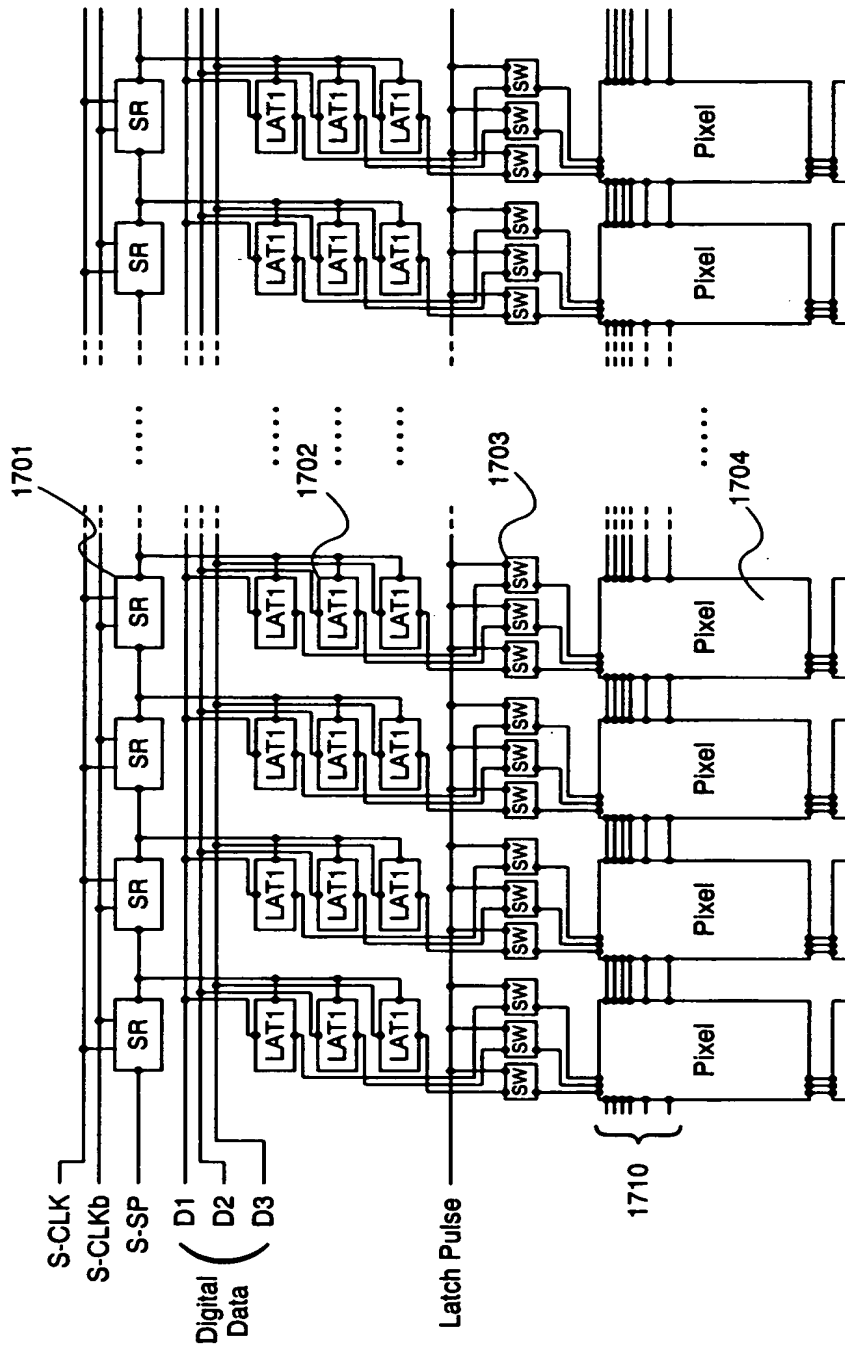
【図15】



【図 16】

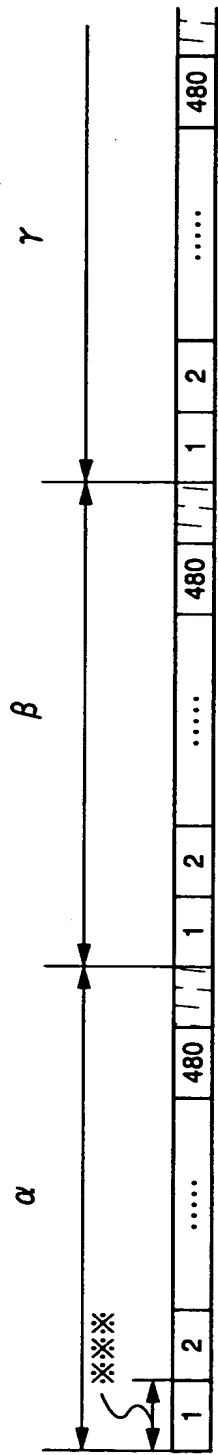


【図 1 7】

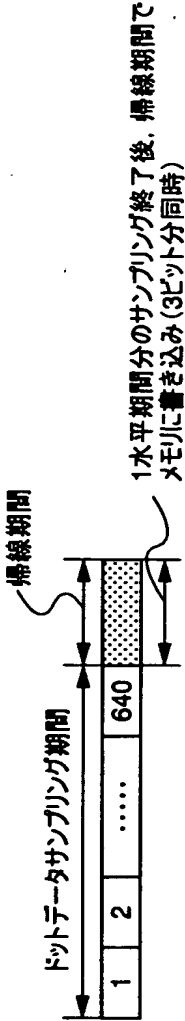


【図 1 8】

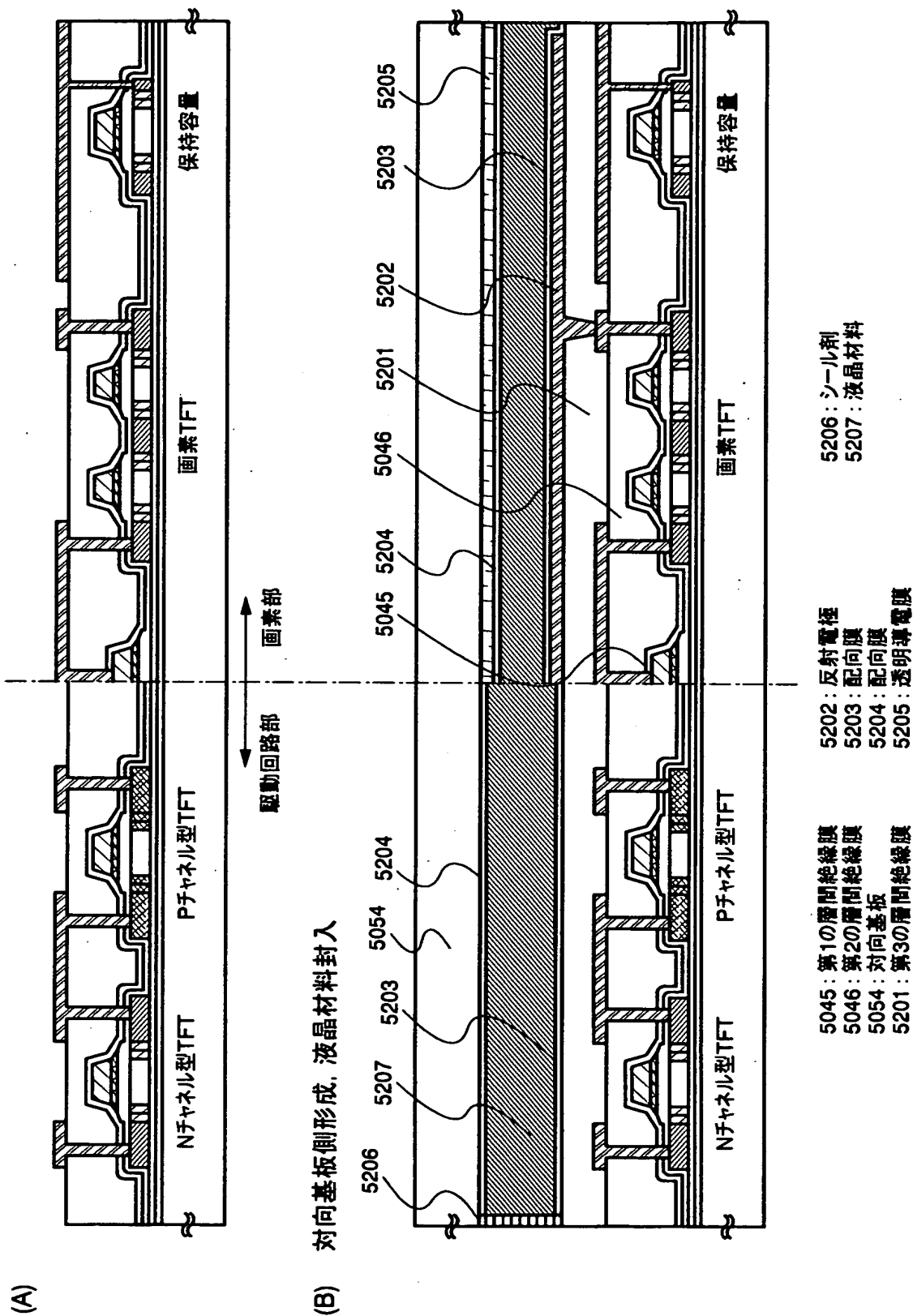
(A)



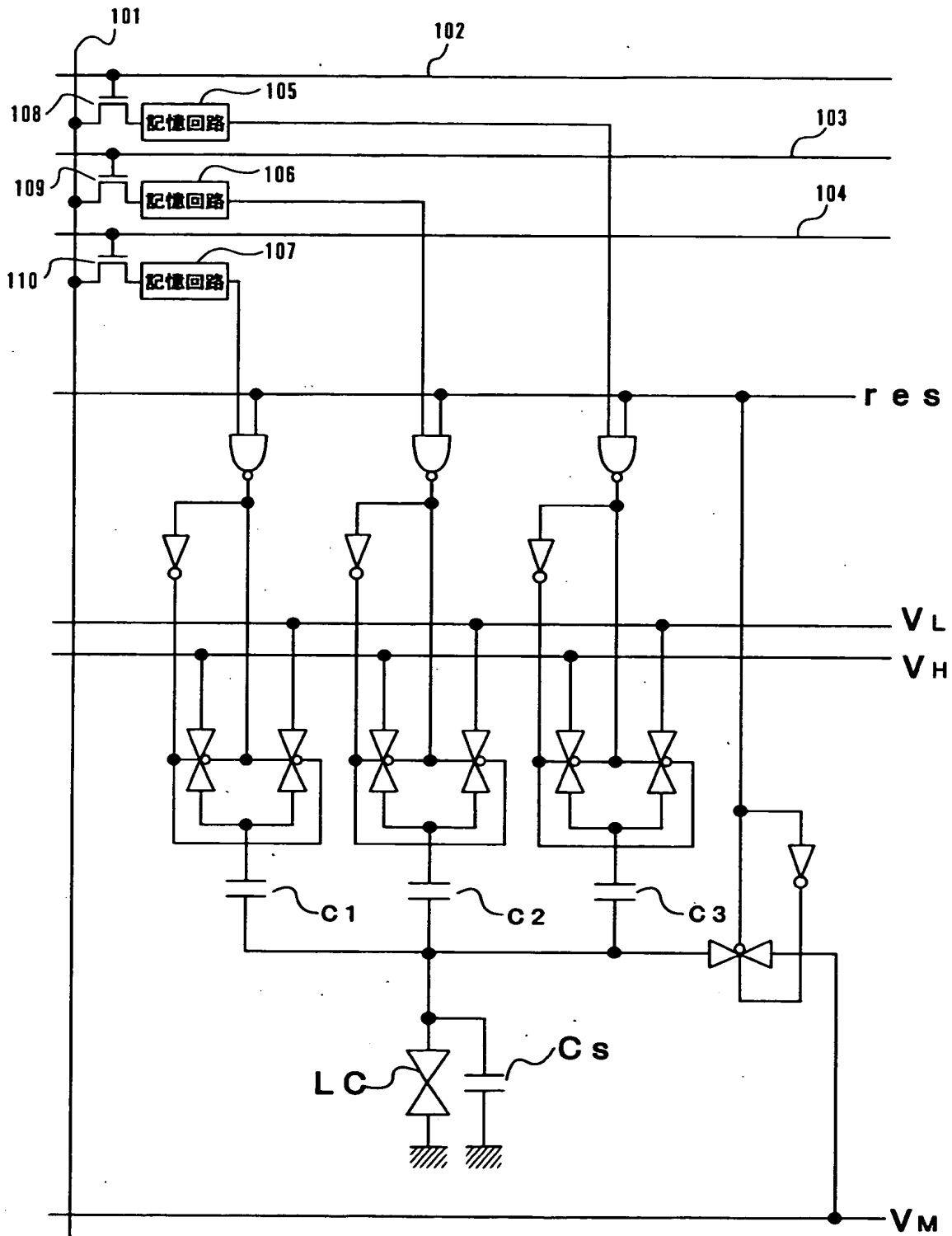
(B)



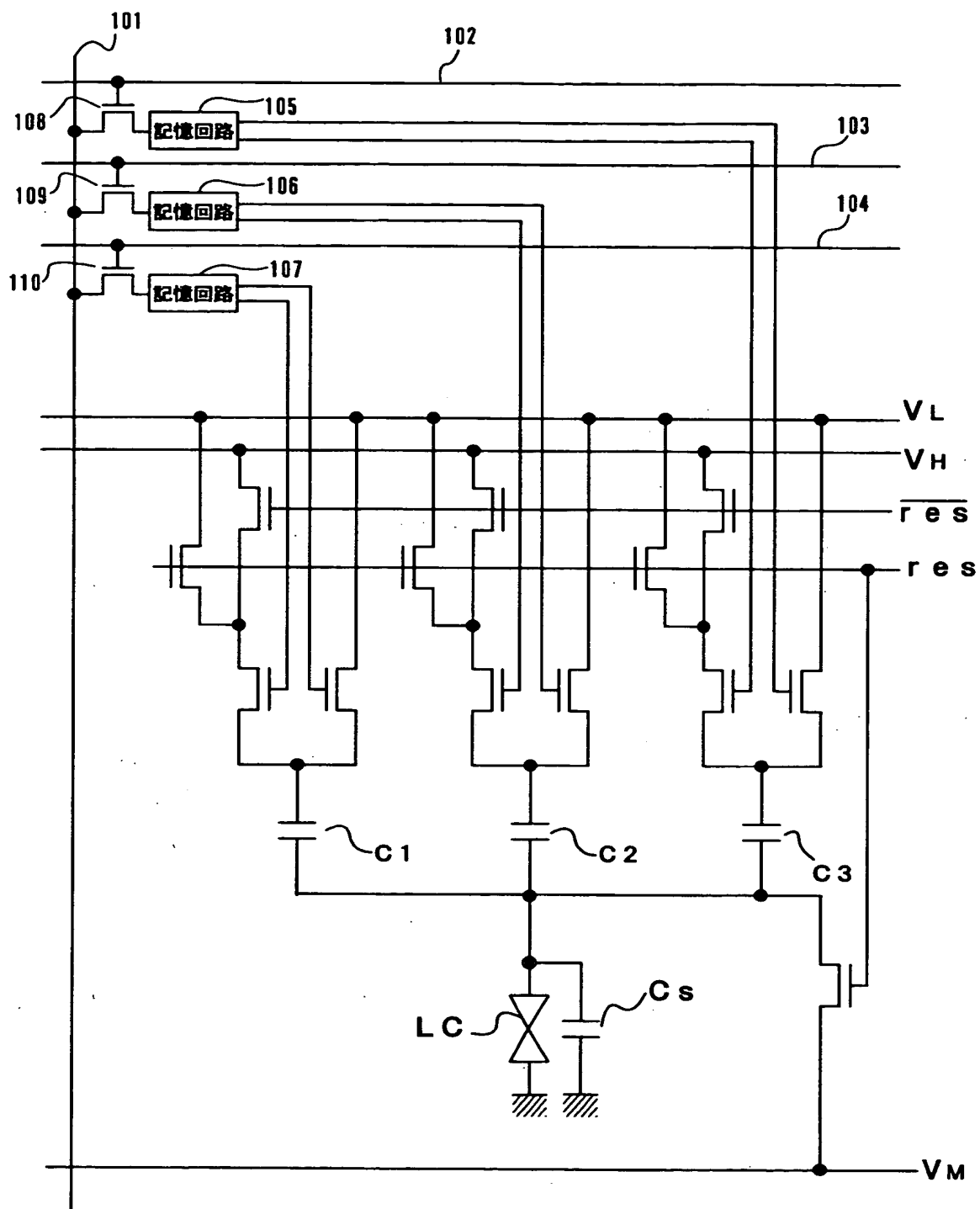
【図 1 9】



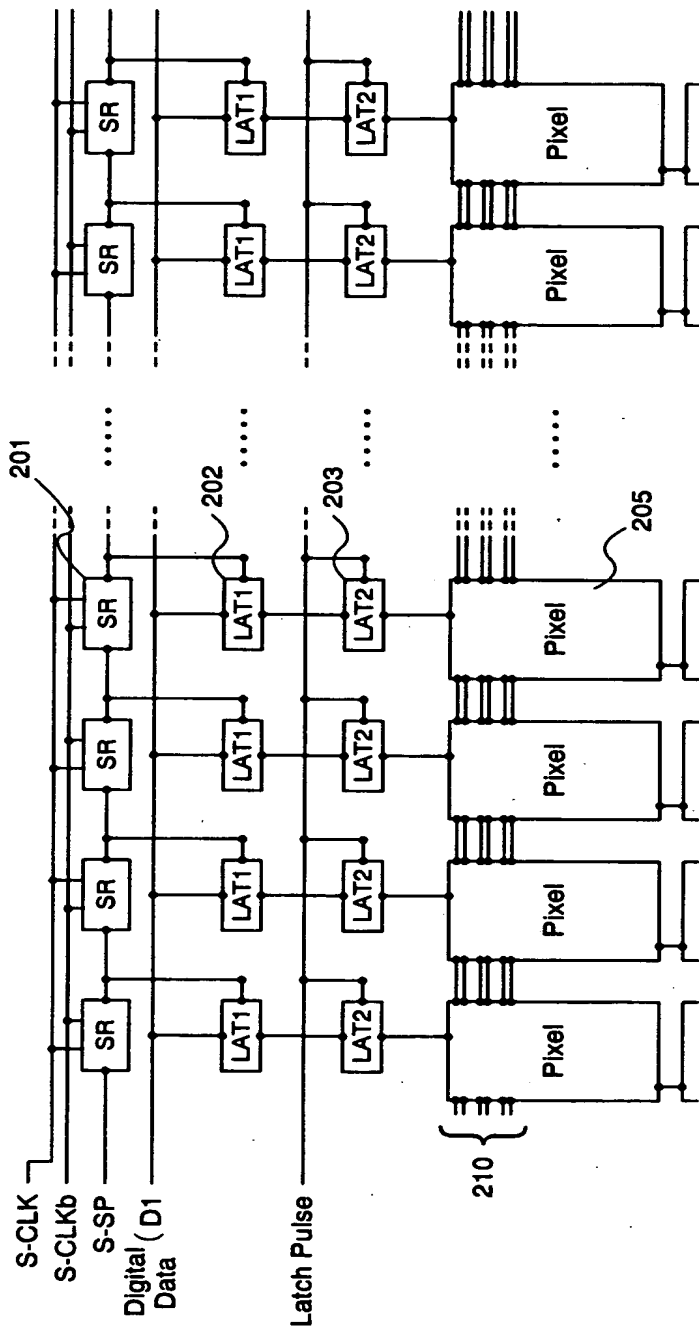
【図 2 0】



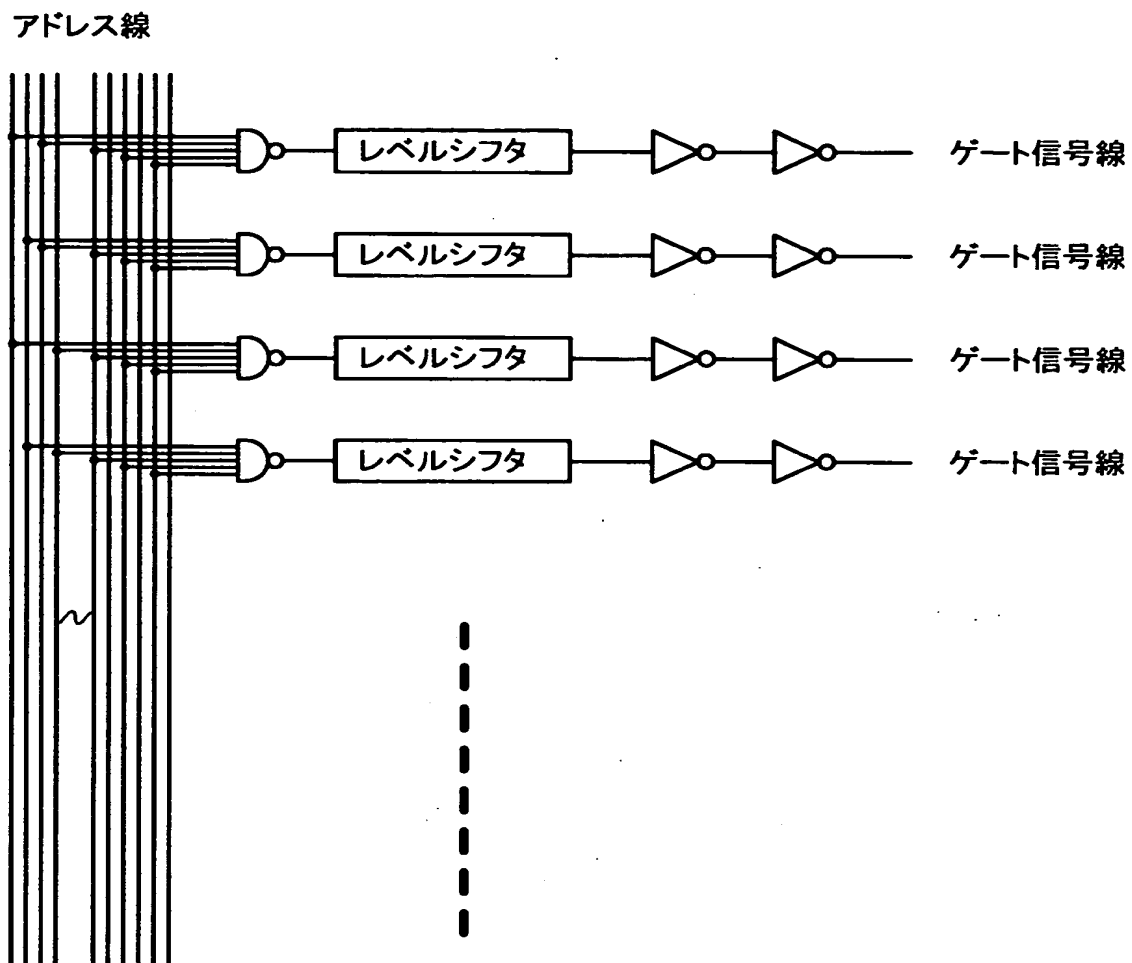
【図 2 1】



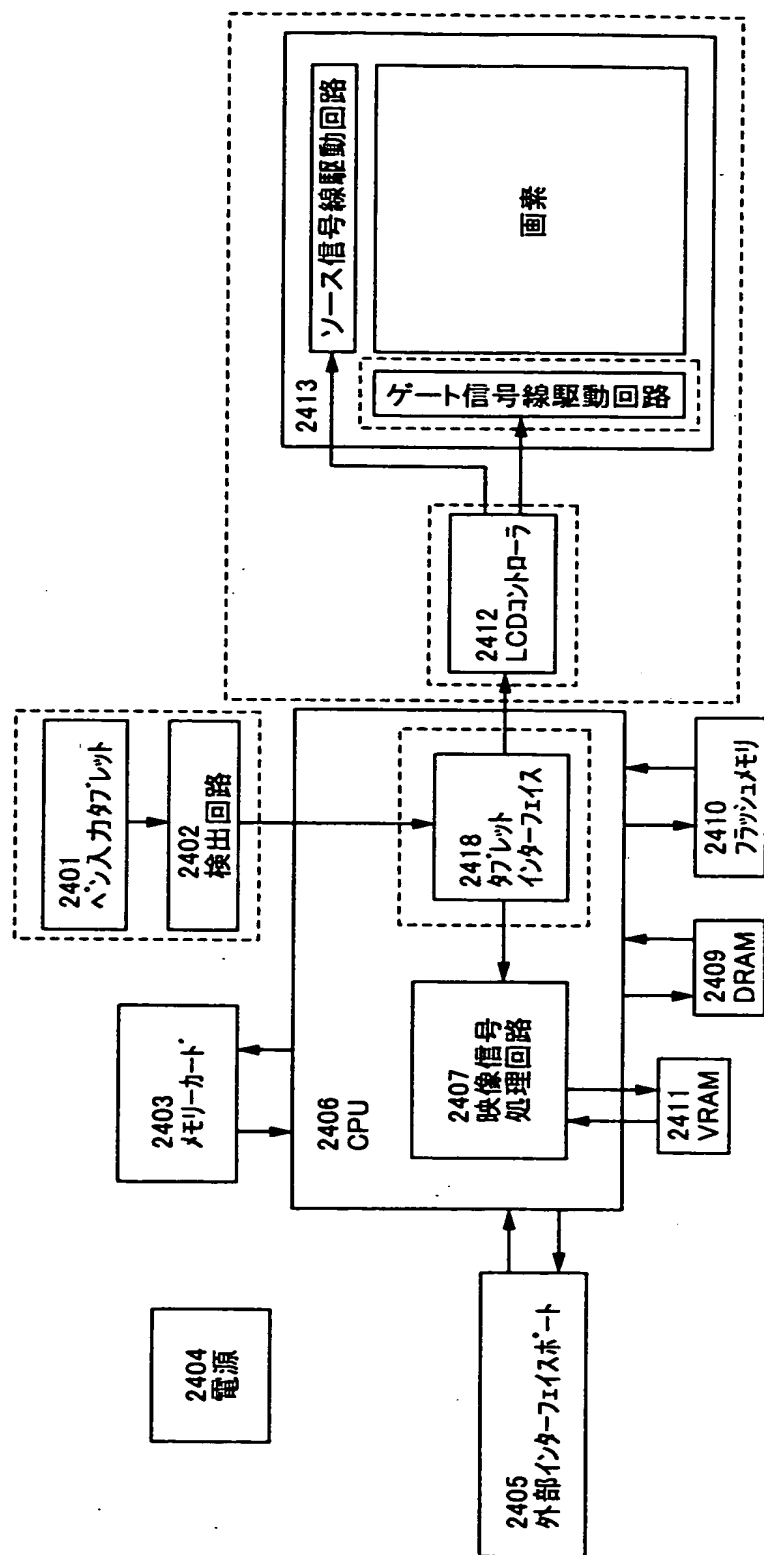
【図 2 2】



【図 2 3】

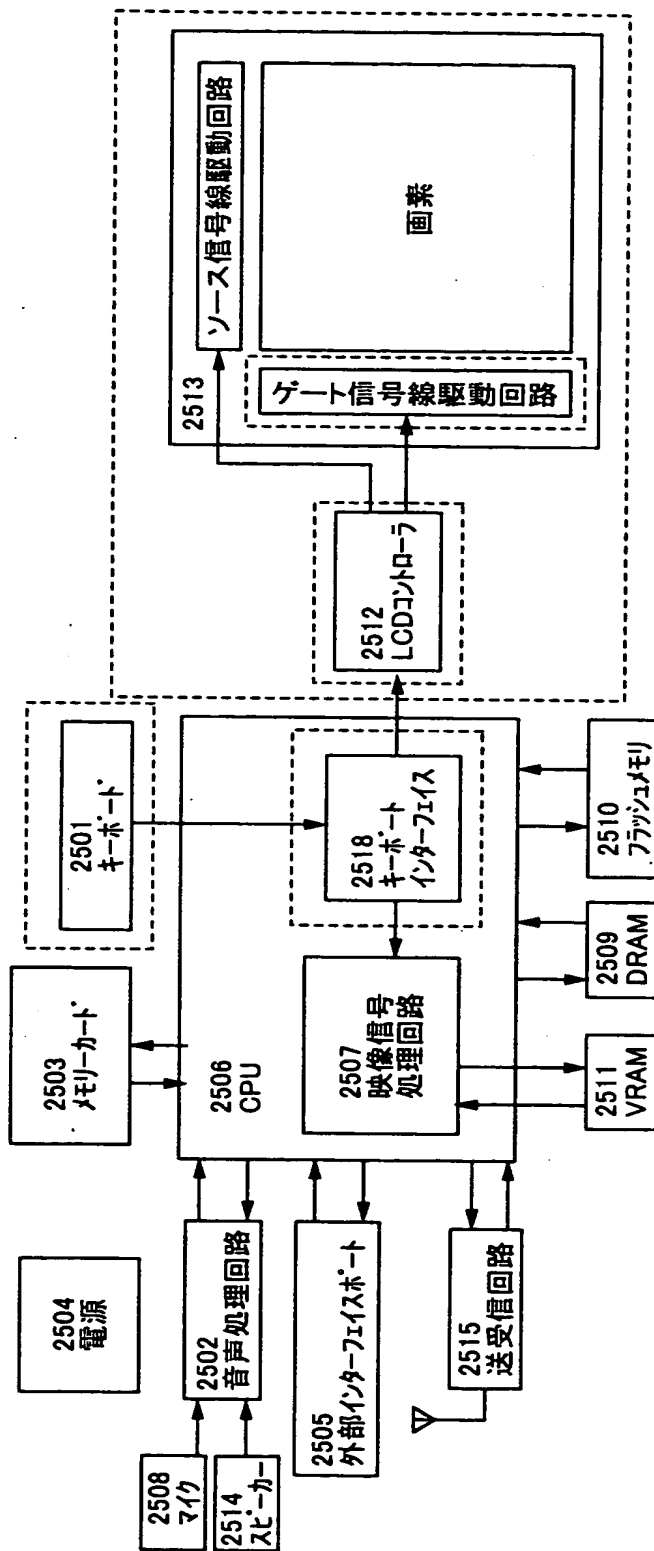


【図 24】



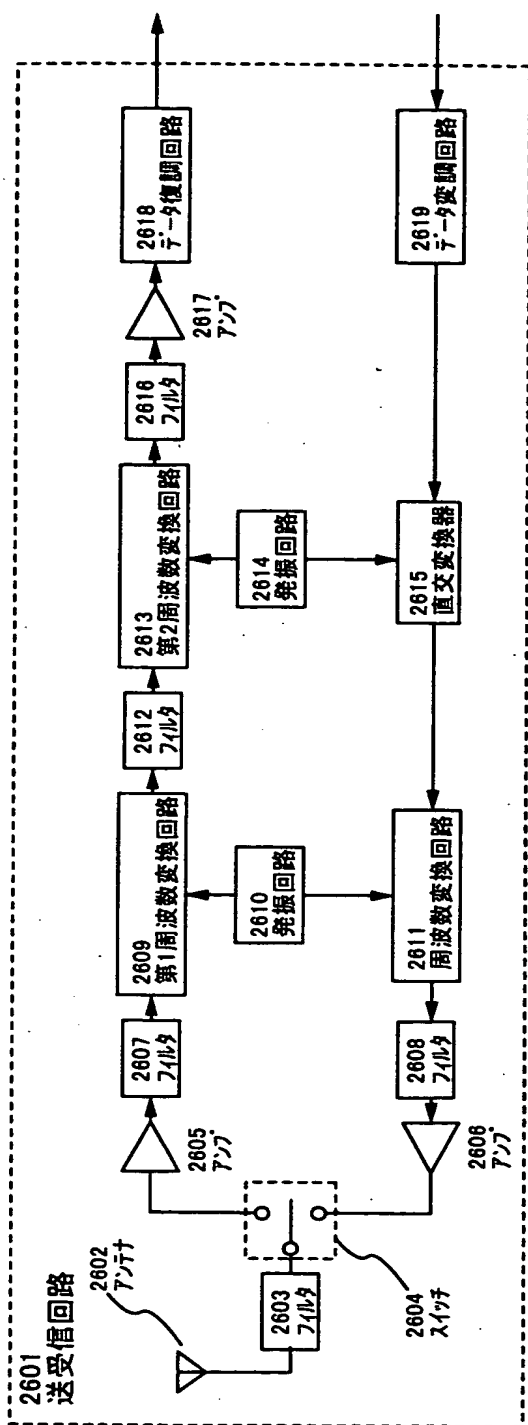
携帯情報端末のブロック図

【図 25】



携帯電話ブロック図

【図 2 6】



送受信回路ブロック図

【書類名】 要約書

【要約】

【課題】 画素内に記憶回路を用いて、静止画表示時の低消費電力化が可能な液晶表示装置の提供を課題とする。

【解決手段】 n ビット（ n は自然数）のデジタル映像信号を用いて映像表示を行う液晶表示装置において、1画素あたり $n \times m$ 個（ m は自然数）の記憶回路を内蔵することにより、 m フレーム分のデジタル映像信号を画素内に記憶する機能を有する。なお、読み出されたデジタル映像信号は、画素毎に形成されたD/Aコンバータによりアナログ信号に変換され、液晶素子に入力される。よって、静止画像の表示は、一旦記憶回路に記憶されたデジタル映像信号を繰り返し読み出して各フレームで表示を行うことにより、その間のソース信号線駆動回路その他の駆動を停止する。もって液晶表示装置の消費電力を低減する。

【選択図】 図1

特2000-249090

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日
[変更理由] 新規登録
住 所 神奈川県厚木市長谷398番地
氏 名 株式会社半導体エネルギー研究所